

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-051626

(43)Date of publication of application : 20.02.1996

(51)Int.Cl.

H04N 7/30

H04N 5/92

(21)Application number : 07-087525

(71)Applicant : SONY CORP

(22)Date of filing : 20.03.1995

(72)Inventor : YAGASAKI YOICHI

(30)Priority

Priority number : 94 210613

Priority date : 18.03.1994

Priority country : US

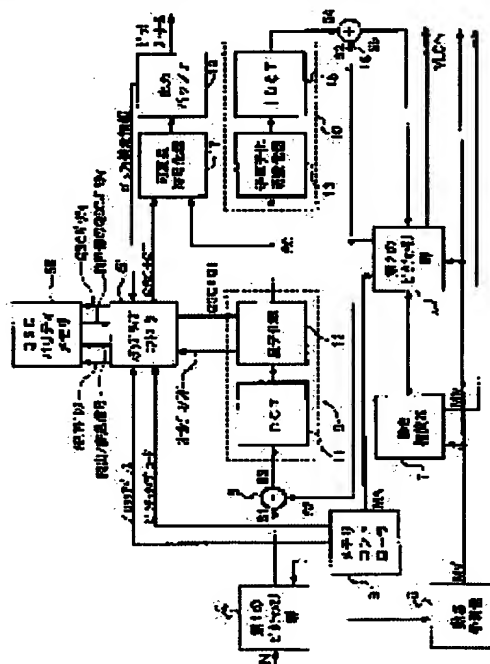
(54) METHOD AND DEVICE FOR QUANTIZING TRANSFORMATION COEFFICIENT OF MOVING PICTURE SIGNAL AND MOVING PICTURE SIGNAL COMPRESSION DEVICE

(57)Abstract:

PURPOSE: To prevent the generation of mismatch errors by setting a present step size so as to be different from a previous step size, using the set present step size and quantizing a present coefficient block.

CONSTITUTION: A step size controller 51 calculates the step size for quantizing the present coefficient block, that is a discrete cosine transformation (DCT)

coefficient block obtained from the present picture block of present pictures. Further, the step size controller 51 reads stored previous picture quantization scale code (QSC) parity information from a QSC parity memory 53 and judges whether or not a calculated QSC parity is the same as a previous picture QSC parity. When it is different, the step size controller 51 supplies the present QSC and QT to a quantizer 12. The quantizer 12 uses the step size expressed by the present QSC and QT supplied by the step size controller 51 and quantizes the present coefficient block.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-51626

(43)公開日 平成8年(1996)2月20日

(51)Int.Cl.⁶

H 0 4 N 7/30
5/92

識別記号

庁内整理番号

F I

技術表示箇所

H 0 4 N 7/ 133
5/ 92

Z
H

審査請求 未請求 請求項の数60 F D (全 58 頁)

(21)出願番号 特願平7-87525

(22)出願日 平成7年(1995)3月20日

(31)優先権主張番号 08/210613

(32)優先日 1994年3月18日

(33)優先権主張国 米国 (U S)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 矢ヶ崎 陽一

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

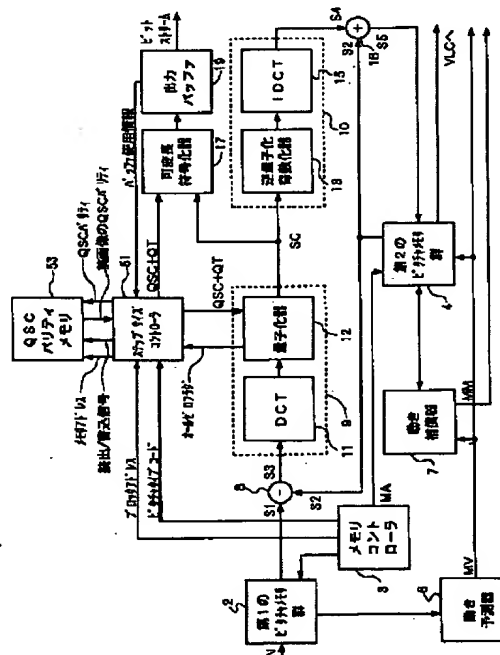
(74)代理人 弁理士 小池 晃 (外2名)

(54)【発明の名称】 動画像信号の変換係数量子化方法及び装置、並びに動画像信号圧縮装置

(57)【要約】

【目的】 反復性があるミスマッチ誤差の発生を防止するように、動画像信号を表わすDCT係数の係数ブロックを量子化する方法及び装置を提供する。

【構成】 係数ブロックは、現画像中のある位置にある現画像ブロックから得られる現係数ブロックと、前画像において現画像中の現画像ブロックの位置にある前画像ブロックから得られる前係数ブロックとからなる。現画像はPピクチャであり、前画像は現画像の直前に処理されたPピクチャあるいはBピクチャである。前係数ブロックは、第1のステップサイズを用いて量子化される。現係数ブロックの量子化のための第2のステップサイズは、第1のステップサイズとは異なるように設定される。そして、現係数ブロックはこの設定された第2のステップサイズを用いて量子化される。



【特許請求の範囲】

【請求項1】 動画像信号を表わすDCT係数の係数ブロックが、Pピクチャである現画像の中にある現画像ブロックから得られる現係数ブロックと、上記現画像の直前に処理されたPピクチャ又はIピクチャである前画像において現画像中の現画像ブロックの位置にある前画像ブロックから得られる前係数ブロックとからなり、上記動画像信号を表わすDCT係数の係数ブロックを、反復ミスマッチ誤差を防止するように量子化する変換係数量子化方法であって、

前ステップサイズを用いて前係数ブロックを量子化する前係数ブロック量子化工程と、
現係数ブロックの量子化のための現ステップサイズを決定する現ステップサイズ決定工程と、
現ステップサイズを前ステップサイズと異なるように設定する現ステップサイズ設定工程と、
上記設定工程で設定された現ステップサイズを用いて、現係数ブロックを量子化する現係数ブロック量子化工程とを有することを特徴とする変換係数量子化方法。

【請求項2】 上記係数ブロックは、上記前画像の直前に処理されたIピクチャ又はPピクチャである前前画像において現画像中の現画像ブロックの位置にある前前画像ブロックから得られ、前前ステップサイズを用いて量子化される前前係数ブロックを有し、
上記前ステップサイズを用いた前係数ブロック量子化工程は、

前量子化係数ブロックを生じ、
上記前量子化係数ブロックがオールゼロ量子化係数ブロックである場合を判定するテスト工程を有し、
上記テスト工程で前量子化係数ブロックがオールゼロ量子化係数ブロックであると判定されたとき、上記現ステップサイズ設定工程により、現ステップサイズを前ステップサイズと異なるように設定せず、現ステップサイズを前前ステップサイズと異なるように設定することを特徴とする請求項1記載の変換係数量子化方法。

【請求項3】 上記前前ステップサイズが記憶ステップサイズとして記憶され、
上記前係数ブロック量子化工程は、上記テスト工程で前量子化係数ブロックがオールゼロ量子化係数ブロックではないと判定されたとき、前前ステップサイズに上書きするようにして、前ステップサイズを記憶ステップサイズとして記憶する工程を有し、
上記現ステップサイズ設定工程は、現ステップサイズが記憶ステップサイズと等しいとき、現ステップサイズを変化させる工程を有することを特徴とする請求項2記載の変換係数量子化方法。

【請求項4】 上記前前ステップサイズを用いて前前係数ブロックを量子化することによって得られる前前量子化係数ブロックが、記憶量子化係数ブロックとして記憶され、

上記前係数ブロック量子化工程は、上記テスト工程で前量子化係数ブロックがオールゼロ量子化係数ブロックではないと判定されたとき、前前量子化係数ブロックに上書きするようにして、前量子化係数ブロックを記憶量子化係数ブロックとして記憶する工程を有し、

上記現ステップサイズ設定工程は、現量子化係数ブロックが記憶量子化係数ブロックと等しいとき、現ステップサイズを変化させる工程を有することを特徴とする請求項2記載の変換係数量子化方法。

10 【請求項5】 上記係数ブロックは、前画像の直前に処理されたIピクチャ又はPピクチャである前前画像において現画像中の現画像ブロックの位置にある前前画像ブロックから得られ、前前ステップサイズを用いて量子化される前前係数ブロックを有し、
上記前前ステップサイズ、前ステップサイズ、現ステップサイズは、それぞれバリティを有し、
上記前ステップサイズを用いた前係数ブロック量子化工程は、

前量子化係数ブロックを生じ、
20 前量子化係数ブロックがオールゼロ量子化係数ブロックである場合を判定するテスト工程を有し、
上記現ステップサイズ設定工程は、上記テスト工程で前量子化係数ブロックがオールゼロ量子化係数ブロックであると判定されたとき、現ステップサイズのバリティを前前ステップサイズのバリティと異なるように設定し、
それ以外の場合は、現ステップサイズのバリティを前ステップサイズのバリティと異なるように設定する工程を有することを特徴とする請求項1記載の変換係数量子化方法。

30 【請求項6】 上記前前ステップサイズが前前ステップサイズバリティを有し、この前前ステップサイズバリティが記憶ステップサイズバリティとして記憶され、
上記前係数ブロック量子化工程は、上記テスト工程で前量子化係数ブロックがオールゼロ量子化係数ブロックではないと判定されたとき、前前ステップサイズバリティに上書きするようにして、前ステップサイズバリティを記憶ステップサイズバリティとして記憶する工程を有し、

上記現ステップサイズ設定工程は、現ステップバリティが記憶ステップサイズバリティと等しいとき、現ステップサイズのバリティを変化させる工程を有することを特徴とする請求項5記載の変換係数量子化方法。

【請求項7】 上記現ステップサイズ決定工程により、最下位ビットを有する現ステップサイズが得られ、
上記現ステップサイズを前ステップサイズと異なるように設定する現ステップサイズ設定工程は、
バリティビットで表わされる前ステップサイズのバリティを決定する工程と、

上記バリティビットを反転して反転バリティビットを出力する工程と、

現ステップサイズの最下位ビットを、反転パリティビットで置換する工程とを有することを特徴とする請求項1記載の変換係数量子化方法。

【請求項8】 上記現ステップサイズを前ステップサイズと異なるように設定する現ステップサイズ設定工程は、
前ステップサイズのパリティを決定して前パリティを出力する工程と、
現ステップサイズのパリティを決定して現パリティを出力する工程と、
上記前パリティと現パリティを比較する比較工程と、
上記比較工程で前パリティが現パリティと等しいと判定されたとき、現ステップサイズのパリティを反転するパリティ反転工程とを有することを特徴とする請求項1記載の変換係数量子化方法。

【請求項9】 上記現ステップサイズのパリティ反転工程は、
各ステップサイズに対するパリティ反転ステップサイズを記憶する工程と、
上記記憶されたパリティ反転ステップサイズを、現ステップサイズに応じて読み出す工程と、
上記読み出されたパリティ反転ステップサイズを現ステップサイズとして選択する工程とを有することを特徴とする請求項8記載の変換係数量子化方法。

【請求項10】 上記現ステップサイズは最下位ビットを有し、

上記現ステップサイズのパリティ反転工程は、
現ステップサイズの最下位ビットを反転してパリティ反転現ステップサイズを出力する工程と、

上記パリティ反転現ステップサイズが0であるか否かを判定するテスト工程と、

上記テスト工程でパリティ反転現ステップサイズが0であると判定された場合、パリティ反転現ステップサイズを2に設定する工程と、

上記パリティ反転現ステップサイズを現ステップサイズとして出力する工程とを有することを特徴とする請求項8記載の変換係数量子化方法。

【請求項11】 上記ステップサイズは最大値を有し、
上記現ステップサイズのパリティ反転工程は、
現ステップサイズに1を加算してパリティ反転現ステップサイズを出力する工程と、

パリティ反転現ステップサイズが上記最大値より大きい
か否かを判定するテスト工程と、

上記テスト工程でパリティ反転現ステップサイズが最大値より大きいと判定されたとき、パリティ反転現ステップサイズを最大値より小さい1の値に設定する工程と、
上記パリティ反転現ステップサイズを現ステップサイズとして出力する工程とを有することを特徴とする請求項8記載の変換係数量子化方法。

【請求項12】 上記現ステップサイズのパリティ反転

工程は、

現ステップサイズから1を引算してパリティ反転現ステップサイズを出力する工程と、

上記パリティ反転現ステップサイズが0であるか否かを判定するテスト工程と、

上記テスト工程でパリティ反転現ステップサイズが0であると判定されたとき、パリティ反転現ステップサイズを2に設定する工程と、

上記パリティ反転現ステップサイズを現ステップサイズとして出力する工程とを有することを特徴とする請求項8記載の変換係数量子化方法。

【請求項13】 上記現ステップサイズを前ステップサイズと異なるように設定する現ステップサイズ設定工程は、

現ステップサイズを前ステップサイズと比較する比較工程と、

上記比較工程で現ステップサイズが前ステップサイズと等しいと判定されたとき、現ステップサイズのパリティを反転する工程とを有することを特徴とする請求項1記載の変換係数量子化方法。

【請求項14】 上記前量子化ステップサイズを用いた前係数ブロック量子化工程により、前量子化係数ブロックが得られ、

上記現ステップサイズを決定する現ステップサイズ決定工程により、パリティを有する現ステップサイズが決定され、

上記現係数ブロック量子化工程は、上記現ステップサイズ決定工程で決定した現ステップサイズを用いて現係数ブロックを量子化し、現量子化係数ブロックを出力する第1の段階を有し、

上記現ステップサイズを前ステップサイズと異なるように設定する現ステップサイズ設定工程は、

現量子化係数ブロックを前量子化係数ブロックと比較する比較工程と、

上記比較工程で現量子化係数ブロックが前量子化係数ブロックと等しいと判定されたとき、現ステップサイズのパリティを反転する工程とを有し、

上記比較工程で現量子化係数ブロックが前量子化係数ブロックと等しいとき、現係数ブロック量子化工程は、上記現ステップサイズ設定工程で決定した現ステップサイズを用いて現量子化係数ブロックを再量子化する工程からなる第2の段階を有することを特徴とする請求項1記載の変換係数量子化方法。

【請求項15】 上記前係数ブロック量子化工程において、前量子化ステップサイズは前量子化スケールコードで表わされ、

上記現ステップサイズ決定工程により、最下位ビットを有する現量子化スケールコードで表わされる現ステップサイズが出力され、

上記現ステップサイズを前ステップサイズと異なるよう

10

20

30

40

50

に設定する現ステップサイズ設定工程は、
パリティビットで表わされる前量子化スケールコードの
パリティを決定する工程と、
上記パリティビットを反転して反転パリティビットを出力する工程と、

現量子化スケールコードの最下位ビットを、反転パリティビットで置換する工程とを有し、
上記現係数ブロック量子化工程において、現係数ブロックは、現量子化スケールコードで表わされる現ステップサイズを用いて量子化されることを特徴とする請求項1記載の変換係数量子化方法。

【請求項16】 上記前係数ブロック量子化工程において、前量子化ステップサイズは前量子化スケールコードで表わされ、

上記現ステップサイズ決定工程により、現量子化スケールコードで表わされる現ステップサイズが出力され、
上記現ステップサイズを前ステップサイズと異なるように設定する現ステップサイズ設定工程は、

前量子化スケールコードのパリティを決定して前パリティを出力する工程と、

現量子化スケールコードのパリティを決定して現パリティを出力する工程と、

上記前パリティと現パリティとを比較する比較工程と、
上記比較工程により前パリティが現パリティと等しいと判定されたとき、現量子化スケールコードのパリティを反転するパリティ反転工程とを有し、

上記現係数ブロック量子化工程において、現係数ブロックは、現量子化スケールコードで表わされる現ステップサイズを用いて量子化されることを特徴とする請求項1記載の変換係数量子化方法。

【請求項17】 上記現量子化スケールコードのパリティ反転工程は、

各量子化スケールコードに対するパリティ反転量子化スケールコードを記憶する工程と、

上記記憶されたパリティ反転量子化スケールコードを、
現量子化スケールコードに応じて読み出す工程と、

上記読み出されたパリティ反転量子化スケールコードを現量子化スケールコードとして選択する工程とを有することを特徴とする請求項16記載の変換係数量子化方法。

【請求項18】 上記現量子化スケールコードは最下位ビットを有し、

上記現量子化スケールコードのパリティ反転工程は、
現量子化スケールコードの最下位ビットを反転してパリティ反転現量子化スケールコードを出力する工程と、

上記パリティ反転現量子化スケールコードは0であるか否かを判定するテスト工程と、

上記テスト工程でパリティ反転現量子化スケールコードが0であると判定されたとき、パリティ反転現量子化スケールコードを2に設定する工程と、

パリティ反転現量子化スケールコードを現量子化スケールコードとして出力する工程とを有することを特徴とする請求項16記載の変換係数量子化方法。

【請求項19】 上記量子化スケールコードは最大値を有し、

上記現量子化スケールコードのパリティ反転工程は、
現量子化スケールコードに1を加算してパリティ反転現量子化スケールコードを出力する工程と、

上記パリティ反転現量子化スケールコードが上記最大値より大きいかなかを判定するテスト工程と、

上記テスト工程でパリティ反転現量子化スケールコードが最大値より大きいと反転されたとき、パリティ反転現量子化スケールコードを最大値より小さい1の値に設定する工程と、

上記パリティ反転現量子化スケールコードを現量子化スケールコードとして出力する工程とを有することを特徴とする請求項16記載の変換係数量子化方法。

【請求項20】 上記現量子化スケールコードのパリティ反転工程は、

20 現量子化スケールコードから1を引算してパリティ反転現量子化スケールコードを出力する工程と、

上記パリティ反転現量子化スケールコードが0であるか否かを判定するテスト工程と、

上記テスト工程でパリティ反転現量子化スケールコードが0であると判定されたとき、パリティ反転量子化スケールコードを2に設定する工程と、

上記パリティ反転量子化スケールコードを現量子化スケールコードとして出力する工程とを有することを特徴とする請求項16記載の変換係数量子化方法。

30 【請求項21】 上記前係数ブロック量子化工程において、前量子化ステップサイズは前量子化スケールコードで表わされ、

上記現ステップサイズ決定工程により、現量子化スケールコードで表わされる現ステップサイズが出力され、

上記現ステップサイズを前ステップサイズと異なるように設定する工程は、

上記現量子化スケールコードを前量子化スケールコードと比較する比較工程と、

40 上記比較工程で現量子化スケールコードが前量子化スケールコードと等しいと判定されたとき、現量子化スケールコードのパリティを反転する工程とを有し、

上記現係数ブロック量子化工程において、現係数ブロックは、現量子化スケールコードで表わされる現ステップサイズを用いて量子化されることを特徴とする請求項1記載の変換係数量子化方法。

【請求項22】 上記前ステップサイズを用いた前係数ブロック量子化工程により、前量子化係数ブロックが出力され、

50 上記前係数ブロック量子化工程において、前ステップサイズは前量子化スケールコードで表わされ、

上記現ステップサイズ決定工程により、バリティを有する現量子化スケールコードで表わされる現ステップサイズが出力され、

上記現係数ブロック量子化工程は、上記現ステップサイズ決定工程で決定され、現量子化スケールコードで表わされる現ステップサイズを用いて、現係数ブロックが量子化され、現量子化係数ブロックを出力する第1の段階を有し、

上記現ステップサイズを前ステップサイズと異なるように設定する現ステップサイズ設定工程は、

上記現量子化係数ブロックを前量子化係数ブロックと比較する比較工程と、

上記比較工程で現量子化係数ブロックが前量子化係数ブロックと等しいと判定されたとき、現量子化スケールコードのバリティを反転してバリティ反転現量子化スケールコードを出力する工程とを有し、

上記比較工程で現量子化係数ブロックが前量子化係数ブロックと等しいと判定されたとき、上記現係数ブロック量子化工程は、バリティ反転現量子化スケールコードで表わされる現ステップサイズを用いて、現量子化係数ブロックを再量子化する工程からなる第2の段階を有することを特徴とする請求項1記載の変換係数量子化方法。

【請求項23】 上記前係数ブロック量子化工程において、前量子化ステップサイズは前量子化スケールコードにより表わされ、

上記現ステップサイズ決定工程により、現ステップサイズが現量子化スケールコードにより表わされ、

上記現係数ブロック量子化工程において、現係数ブロックが現量子化スケールコードで表わされる現ステップサイズを用いて量子化されることを特徴とする請求項1記載の変換係数量子化方法。

【請求項24】 上記係数ブロックは、前画像の直前に処理されたIピクチャ又はPピクチャである前前画像において現画像中の現画像ブロックの位置にある前前画像ブロックから得られ、前前量子化スケールコードで表わされる前前ステップサイズを用いて量子化される前前係数ブロックを有し、

上記前ステップサイズを用いた前係数ブロック量子化工程は、

前量子化係数ブロックを生じ、

上記前量子化係数ブロックがオールゼロ量子化係数ブロックであるか否かを判定するテスト工程を有し、

上記現ステップサイズ設定工程では、上記テスト工程で前量子化係数ブロックがオールゼロ量子化係数ブロックであると判定されたとき、現量子化スケールコードを前量子化スケールコードと異なるように設定せず、現量子化スケールコードを前前量子化スケールコードと異なるように設定することを特徴とする請求項23記載の変換係数量子化方法。

【請求項25】 前前量子化スケールコードは記憶量子

化スケールコードとして記憶され、

上記前係数ブロック量子化工程は、上記テスト工程で前量子化係数ブロックがオールゼロ量子化係数ブロックではないと判定されたとき、前前量子化スケールコードに上書きするように、前量子化スケールコードを記憶量子化スケールコードとして記憶する工程を有し、

上記現ステップサイズ設定工程は、現量子化スケールコードが記憶量子化スケールコードと等しいとき、現量子化スケールコードを変化させる工程を有することを特徴とする請求項24記載の変換係数量子化方法。

【請求項26】 上記前前ステップサイズを用いて前前係数ブロックを量子化することによって得られる前前量子化係数ブロックが、記憶量子化係数ブロックとして記憶され、

上記前係数ブロック量子化工程は、上記テスト工程で前量子化係数ブロックがオールゼロ量子化係数ブロックではないと判定されたとき、前前量子化係数ブロックに上書きするようにして、前量子化係数ブロックを記憶量子化係数ブロックとして記憶する工程を有し、

上記現ステップサイズ設定工程は、現量子化係数ブロックが記憶量子化係数ブロックと等しいとき、現量子化スケールコードを変化させる工程を有することを特徴とする請求項24記載の変換係数量子化方法。

【請求項27】 上記係数ブロックは、前画像の直前に処理されたIピクチャ又はPピクチャである前前画像において現画像中の現画像ブロックの位置にある前前画像ブロックから得られ、前前量子化スケールコードで表わされる前前ステップサイズを用いて量子化される前前係数ブロックを有し、

上記前前量子化スケールコード、前量子化スケールコード、現量子化スケールコードは、それぞれバリティを有し、

上記前ステップサイズを用いた前係数ブロックの量子化工程は、

前量子化係数ブロックを生じ、

上記前量子化係数ブロックがオールゼロ量子化係数ブロックである場合を判定するテスト工程を有し、

上記現ステップサイズ設定工程は、上記テスト工程で前量子化係数ブロックがオールゼロ量子化係数ブロックであると判定されたとき、現量子化スケールコードのバリティを前前量子化スケールコードのバリティと異なるように設定し、それ以外の場合、現量子化スケールコードのバリティを前量子化スケールコードのバリティと異なるように設定することを特徴とする請求項23記載の変換係数量子化方法。

【請求項28】 上記前前量子化スケールコードが前前量子化スケールコードバリティを有し、この前前量子化スケールコードバリティが記憶量子化スケールコードバリティとして記憶され、

上記前係数ブロック量子化工程は、上記テスト工程で前

10

20

30

40

50

量子化係数ブロックがオールゼロ量子化係数ブロックではないと判定されたとき、前量子化スケールコードバリティに上書きするように、前量子化スケールコードバリティを記憶量子化スケールコードバリティとして記憶する工程を有し、

上記現ステップサイズ設定工程は、現量子化スケールコードバリティが記憶量子化スケールバリティと等しいとき、現量子化スケールコードのバリティを変化させる工程を有することを特徴とする請求項2記載の変換係数量子化方法。

【請求項29】 動画画像信号を表わすDCT係数の係数ブロックが、Pピクチャである現画像の中にある現画像ブロックから得られる現係数ブロックと、上記現画像の直前に処理されたPピクチャ又はIピクチャである前画像において現画像中の現画像ブロックの位置にある前画像ブロックから得られる前係数ブロックとからなり、上記動画画像信号を表わすDCT係数の係数ブロックを、反復ミスマッチ誤差を防止するように量子化する変換係数量子化装置であって、

前係数ブロックの前ステップサイズと現係数ブロックの現ステップサイズを決定し、各係数ブロックの量子化のためステップサイズを決定するステップサイズ制御手段を有し、このステップサイズ制御手段は、

現ステップサイズを前ステップサイズと異なるように設定するステップサイズ設定手段と、

各係数ブロックを受け取り、各係数ブロックのステップサイズを上記ステップサイズ制御手段から受け取る量子化器とを有することを特徴とする変換係数量子化装置。

【請求項30】 上記係数ブロックは、上記前画像の直前に処理されたIピクチャ又はPピクチャである前前画像において現画像中の現画像ブロックの位置にある前前画像ブロックから得られ、前前ステップサイズを用いて量子化される前前係数ブロックを有し、

上記量子化器は、

上記ステップサイズ制御手段からのステップサイズを用いて各係数ブロックを量子化し、量子化係数ブロックを出力するとともに、前係数ブロックを量子化して、前量子化係数ブロックを出力する量子化手段と、

上記量子化係数ブロックがオールゼロ量子化係数ブロックであるとき、オールゼロフラグを上記ステップサイズ制御手段に供給する手段とを有し、

上記ステップサイズ設定手段は、前量子化係数ブロックがオールゼロ量子化係数ブロックであることをオールゼロフラグが示すとき、現ステップサイズを前画像ステップサイズと異なるように設定せず、現ステップサイズを前前ステップサイズと異なるように設定することを特徴とする請求項29記載の変換係数量子化装置。

【請求項31】 上記変換係数量子化装置は、上記前前ステップサイズが記憶ステップサイズとして記憶されるメモリと、

上記前量子化係数ブロックがオールゼロ量子化係数ブロックではないことをオールゼロフラグが示すとき、前前ステップサイズに上書きするように、前ステップサイズを記憶ステップサイズとして上記メモリに記憶する手段とを有し、上記現ステップサイズ設定手段は、

現ステップサイズをメモリから読み出された記憶ステップサイズと比較する比較手段と、

現ステップサイズが記憶ステップサイズと等しいことを比較手段が示すとき、現ステップサイズを変化させる手段とを有することを特徴とする請求項30記載の変換係数量子化装置。

【請求項32】 前前ステップサイズを用いて前前係数ブロックを量子化することによって得られる前前量子化係数ブロックが、記憶量子化係数ブロックとして記憶されるメモリと、

上記前量子化係数ブロックがオールゼロ量子化係数ブロックではないことをオールゼロフラグが示すとき、前前量子化係数ブロックに上書きするように、前量子化係数ブロックを記憶量子化係数ブロックとして記憶する手段とを有し、上記ステップサイズ設定手段は、現量子化係数ブロックを記憶量子化係数ブロックと比較する比較手段と、

現量子化係数ブロックが記憶量子化係数ブロックと等しいことを上記比較手段が示すとき、現ステップサイズを変化させる手段を有することを特徴とする請求項30記載の変換係数量子化装置。

【請求項33】 上記係数ブロックは、前画像の直前に処理されたIピクチャ又はPピクチャである前前画像において現画像中の現画像ブロックの位置にある前前画像ブロックから得られ、前前ステップサイズを用いて量子化される前前係数ブロックを有し、

上記前前ステップサイズ、前ステップサイズ、現ステップサイズは、それぞれバリティを有し、

上記量子化器は、

上記ステップサイズ制御手段からのステップサイズを用いて各係数ブロックを量子化し、量子化係数ブロックを出力するとともに、前係数ブロックを量子化して前量子化係数ブロックを出力する量子化手段と、

上記量子化係数ブロックがオールゼロ量子化係数ブロックであるとき、オールゼロフラグをステップサイズ制御手段に供給する手段とを有し、

上記ステップサイズ設定手段は、前量子化係数ブロックがオールゼロ量子化係数ブロックであることをオールゼロフラグが示すとき、現ステップサイズのバリティを前前ステップサイズのバリティと異なるように設定し、それ以外の場合は、現ステップサイズのバリティを前ステップサイズのバリティと異なるように設定することを特徴とする請求項30記載の変換係数量子化装置。

【請求項34】 上記変換係数量子化装置は、前前ステップサイズバリティが記憶ステップサイズバリ

10

20

30

40

50

ティとして記憶されるメモリと、
上記前量子化係数ブロックがオールゼロ量子化係数ブロックではないことをオールゼロフラグが示すとき、前前ステップサイズバリティに上書きするように、前ステップサイズバリティを記憶ステップサイズバリティとして記憶する手段とを有し、上記現ステップサイズ設定手段は、

上記現ステップサイズバリティを記憶ステップサイズバリティと比較する比較手段と、

現ステップバリティが記憶ステップサイズバリティと等しいことを上記比較手段が示すとき、現ステップサイズのバリティを変化させる手段を有することを特徴とする請求項3記載の変換係数量子化装置。

【請求項35】 上記現ステップサイズは最下位ビットを持ち、

上記ステップサイズ設定手段は、

バリティビットで前ステップサイズのバリティを表わす手段と、

上記バリティビットを反転して反転バリティビットを出力する手段と、

現ステップサイズの最下位ビットを、反転バリティビットで置換する手段とを有することを特徴とする請求項29記載の変換係数量子化装置。

【請求項36】 上記ステップサイズ設定手段は、

前ステップサイズのバリティを決定して前バリティを出力する手段と、

現ステップサイズのバリティを決定して現バリティを出力する手段と、

上記前バリティと現バリティを比較する比較手段と、

上記前バリティが現バリティと等しいことを上記比較手段が判定したときに作動し、現ステップサイズのバリティを反転するバリティ反転手段とを有することを特徴とする請求項29記載の変換係数量子化装置。

【請求項37】 上記バリティ反転手段は、

各ステップサイズに対するバリティ反転ステップサイズを記憶するルックアップメモリと、

上記記憶されたバリティ反転ステップサイズを、現ステップサイズに応じて読み出す手段と、

上記現ステップサイズが前ステップサイズと等しいことを比較手段が判定したときに作動し、上記読み出されたバリティ反転ステップサイズを現ステップサイズとして選択する手段とを有することを特徴とする請求項36記載の変換係数量子化装置。

【請求項38】 上記現ステップサイズは最下位ビットを有し、

上記バリティ反転手段は、

現ステップサイズの最下位ビットを反転してバリティ反転現ステップサイズを出力する手段と、

上記バリティ反転現ステップサイズが0であるか否かを判定するテスト手段と、

上記バリティ反転現ステップサイズが0であることを上記テスト手段が判定したときに作動し、バリティ反転現ステップサイズを2に設定する手段と、

上記現ステップサイズが前ステップサイズと等しいことを上記比較手段が判定したときに作動し、バリティ反転現ステップサイズを現ステップサイズとして出力する手段とを有することを特徴とする請求項36記載の変換係数量子化装置。

【請求項39】 上記ステップサイズは最大値を有し、

上記バリティ反転手段は、

現ステップサイズに1を加算してバリティ反転現ステップサイズを出力する手段と、

バリティ反転現ステップサイズが上記最大値より大きいか否かを判定するテスト手段と、

上記バリティ反転現ステップサイズが最大値より大きいことを上記テスト手段が判定したときに作動し、バリティ反転現ステップサイズを最大値より小さい1の値に設定する手段と、

上記現ステップサイズが前ステップサイズと等しいことを上記比較手段が判定したときに作動し、バリティ反転現ステップサイズを現ステップサイズとして出力する手段とを有することを特徴とする請求項36記載の変換係数量子化装置。

【請求項40】 上記バリティ反転手段は、

現ステップサイズから1を引算してバリティ反転現ステップサイズを出力する手段と、

上記バリティ反転現ステップサイズが0であるか否かを判定するテスト手段と、

上記バリティ反転現ステップサイズが0であることを上記テスト手段が判定したときに作動し、バリティ反転現ステップサイズを2に設定する手段と、

上記現ステップサイズが前ステップサイズと等しいことを上記比較手段が判定したときに作動し、バリティ反転現ステップサイズを現ステップサイズとして出力する手段とを有することを特徴とする請求項36記載の変換係数量子化装置。

【請求項41】 上記ステップサイズ設定手段は、

現ステップサイズを前ステップサイズと比較する比較手段と、

上記現ステップサイズが前ステップサイズと等しいことを上記比較手段が判定したときに作動し、現ステップサイズのバリティを反転するバリティ反転手段とを有することを特徴とする請求項29記載の変換係数量子化装置。

【請求項42】 上記ステップサイズ制御手段は、バリティを有する現ステップサイズを決定し、

上記量子化器は、上記ステップサイズ制御手段からのステップサイズを用いて各係数ブロックを量子化し、量子化係数ブロックを出力する量子化手段を有し、この量子化手段は、

前係数ブロックを量子化して前量子化係数ブロックを出力し、

上記ステップサイズ制御手段で決定した現ステップサイズを用いて現係数ブロックを量子化して、現量子化係数ブロックを出力し、

上記ステップサイズ制御手段は、

上記現量子化係数ブロックを前量子化係数ブロックと比較する比較手段と、

上記現量子化係数ブロックが前量子化係数ブロックと等しいことを上記比較手段が判定したときに作動し、現ステップサイズのバリティを反転する手段とを有し、

上記量子化手段は、現量子化係数ブロックが前量子化係数ブロックと等しいことを比較手段が判定したときに作動し、上記ステップサイズ設定手段で決定した現ステップサイズを用いて現量子化係数ブロックを再量子化することを特徴とする請求項29記載の変換係数量子化装置。

【請求項43】 上記前量子化ステップサイズは前量子化スケールコードで表わされ、

上記現ステップサイズは、最下位ビットを有する現量子化スケールコードで表わされ、

上記ステップサイズ設定手段は、

バリティビットで前量子化スケールコードのバリティを表わす手段と、

上記バリティビットを反転して反転バリティビットを出力する手段と、

現量子化スケールコードの最下位ビットを、反転バリティビットで置換する手段とを有し、

上記量子化器は、各係数ブロックのステップサイズを表わす量子化スケールコードを、ステップサイズ制御手段から受け取ることを特徴とする請求項29記載の変換係数量子化装置。

【請求項44】 上記前量子化ステップサイズは前量子化スケールコードで表わされ、

上記現ステップサイズは現量子化スケールコードで表わされ、

上記ステップサイズ設定手段は、

前量子化スケールコードのバリティを決定して前バリティを出力する手段と、

現量子化スケールコードのバリティを決定して現バリティを出力する手段と、

上記前バリティと現バリティを比較する比較手段と、

上記前バリティが現バリティと等しいことを上記比較手段が判定したときに作動し、現量子化スケールコードのバリティを反転するバリティ反転手段とを有し、

上記量子化器は、各係数ブロックのステップサイズを表わす量子化スケールコードを、上記ステップサイズ制御手段から受け取ることを特徴とする請求項29記載の変換係数量子化装置。

【請求項45】 上記バリティ反転手段は、

各量子化スケールコードに対応するバリティ反転量子化スケールコードを記憶する手段と、

上記記憶されたバリティ反転量子化スケールコードを読み出し量子化スケールコードとして、現量子化スケールコードに応じて読み出す手段と、

上記前バリティが現バリティと等しいことを上記比較手段が判定したときに作動し、上記読み出されたバリティ反転量子化スケールコードを現量子化スケールコードとして選択する手段とを有することを特徴とする請求項44記載の変換係数量子化装置。

【請求項46】 上記現量子化スケールコードは最下位ビットを有し、

上記バリティ反転手段は、

現量子化スケールコードの最下位ビットを反転してバリティ反転現量子化スケールコードを出力する手段と、

上記バリティ反転現量子化スケールコードは0であるか否かを判定するテスト手段と、

上記バリティ反転現量子化スケールコードが0であることを上記テスト手段が判定したときに作動し、バリティ反転現量子化スケールコードを2に設定する手段と、

上記前バリティが現バリティと等しいことを上記比較手段が判定したときに作動し、バリティ反転現量子化スケールコードを現量子化スケールとして出力する手段とを有することを特徴とする請求項44記載の変換係数量子化装置。

【請求項47】 上記量子化スケールコードは最大値を有し、

上記バリティ反転手段は、

現量子化スケールコードに1を加算してバリティ反転現量子化スケールコードを出力する手段と、

上記バリティ反転現量子化スケールコードが上記最大値より大きいかな否かを判定するテスト手段と、

上記バリティ反転現量子化スケールコードが最大値より大きいと反転されたときに作動し、バリティ反転現量子化スケールコードを最大値より小さい1の値に設定する手段と、

上記前バリティが現バリティと等しいことを上記テスト手段が判定したときに作動し、上記バリティ反転現量子化スケールコードを現量子化スケールコードとして出力する手段とを有することを特徴とする請求項44記載の変換係数量子化装置。

【請求項48】 上記バリティ反転手段は、

現量子化スケールコードから1を引算してバリティ反転現量子化スケールコードを出力する手段と、

上記バリティ反転現量子化スケールコードが0であるか否かを判定するテスト手段と、

上記バリティ反転現量子化スケールコードが0であることを上記テスト手段が判定したときに作動し、バリティ反転量子化スケールコードを2に設定する手段と、

上記前バリティと現バリティと等しいことを上記比較手

段が判定したときに作動し、上記パリティ反転量子化スケールコードを現量子化スケールコードとして出力する手段とを有することを特徴とする請求項4記載の変換係数量子化装置。

【請求項49】 上記前量子化ステップサイズは前量子化スケールコードで表わされ、

上記現ステップサイズは現量子化スケールコードで表わされ、

上記ステップサイズ設定手段は、

上記現量子化スケールコードを前量子化スケールコードと比較する比較手段と、

上記現量子化スケールコードが前量子化スケールコードと等しいことを上記比較手段が判定したときに作動し、現量子化スケールコードのパリティを反転する手段とを有し、

上記量子化手段は、各係数ブロックのステップサイズを表わす量子化スケールコードを、上記ステップサイズ制御手段から受け取ることを特徴とする請求項29記載の変換係数量子化装置。

【請求項50】 上記現ステップサイズは、パリティを有する現量子化スケールコードで表わされ、

上記量子化器は、上記ステップサイズ制御手段からのステップサイズを用いて各係数ブロックを量子化し、量子化係数ブロックを出力する量子化手段を有し、この量子化手段は、

前量子化スケールコードで表わされる前ステップサイズを用いて前係数ブロック量子化し、前量子化係数ブロックを出力するとともに、

上記ステップサイズ制御手段により決定され、上記現量子化スケールコードで表わされる現ステップサイズを用いて現係数ブロックを量子化し、現量子化係数ブロックを出力し、

上記ステップサイズ設定手段は、

現量子化係数ブロックを前量子化係数ブロックと比較する比較手段と、

上記現量子化係数ブロックが前量子化係数ブロックと等しいことを上記比較手段が判定したときに作動し、現量子化スケールコードのパリティを反転してパリティ反転現量子化スケールコードを出力する手段とを有し、

上記量子化手段は、現量子化係数ブロックが前量子化係数ブロックと等しいことを上記比較手段が判定したときに作動し、パリティ反転現量子化スケールコードで表わされる現ステップサイズを用いて、現量子化係数ブロックを再量子化することを特徴とする請求項29記載の変換係数量子化装置。

【請求項51】 上記前量子化ステップサイズは前量子化スケールコードにより表わされ、

上記現ステップサイズは現量子化スケールコードにより表わされ、

上記量子化器は、各係数ブロックのステップサイズを表

わす量子化スケールコードを、上記ステップサイズ制御手段から受け取ることを特徴とする請求項29記載の変換係数量子化装置。

【請求項52】 上記係数ブロックは、前画像の直前に処理されたIピクチャ又はPピクチャである前前画像において現画像中の現画像ブロックの位置にある前前画像ブロックから得られ、前前量子化スケールコードで表わされる前前ステップサイズを用いて量子化される前前係数ブロックを有し、

上記量子化器は、

上記ステップサイズ制御手段からのステップサイズを用いて各係数ブロックを量子化し、量子化係数ブロックを出力するとともに、前係数ブロックを量子化して前量子化係数ブロックを量子化する量子化手段と、

上記量子化係数ブロックがオールゼロ量子化係数ブロックであるとき、オールゼロフラグをステップサイズ制御手段に供給する手段とを有し、

上記ステップサイズ設定手段は、前量子化係数ブロックがオールゼロ量子化係数ブロックであることをオールゼロフラグが示すとき、現量子化スケールコードを前量子化スケールコードと異なるように設定せず、現量子化スケールコードを前前量子化スケールコードと異なるように設定することを特徴とする請求項51記載の変換係数量子化装置。

【請求項53】 上記変換係数量子化装置は、

前前量子化スケールコードが記憶量子化スケールコードとして記憶されるメモリと、

上記前量子化係数ブロックがオールゼロ量子化係数ブロックではないことをオールゼロフラグが示すとき、前前量子化スケールコードに上書きするように、前量子化スケールコードを記憶量子化スケールコードとして記憶する手段とを有し、

上記ステップサイズ設定手段は、

現量子化スケールコードと記憶量子化スケールコードと比較する比較手段と、

現量子化スケールコードが記憶量子化スケールコードと等しいことを上記比較手段が示すとき、現量子化スケールコードを変化させる手段とを有することを特徴とする請求項52記載の変換係数量子化装置。

【請求項54】 上記変換係数量子化装置は、

上記前前ステップサイズを用いて前前係数ブロックを量子化することによって得られる前前量子化係数ブロックが、記憶量子化係数ブロックとして記憶されるメモリと、

上記前量子化係数ブロックがオールゼロ量子化係数ブロックではないことをオールゼロフラグが示すとき、前前量子化係数ブロックに上書きするようにして、前量子化係数ブロックを記憶量子化係数ブロックとして記憶する手段とを有し、

上記ステップサイズ設定手段は、

10

20

30

40

50

現量子化係数ブロックと記憶量子化係数ブロックを比較する比較手段と、

現量子化係数ブロックが記憶量子化係数ブロックと等しいことを上記比較手段が示すとき、現量子化スケールコードを変化させる手段とを有することを特徴とする請求項5記載の変換係数量子化装置。

【請求項55】 上記係数ブロックは、前画像の直前に処理されたIピクチャ又はPピクチャである前前画像において現画像中の現画像ブロックの位置にある前前画像ブロックから得られ、前前量子化スケールコードで表わされる前前ステップサイズを用いて量子化される前前係数ブロックを有し、

上記前前量子化スケールコード、前量子化スケールコード、現量子化スケールコードは、それぞれパリティを有し、

上記量子化器は、

上記ステップサイズ制御手段からのステップサイズを用いて各係数ブロックを量子化し、量子化係数ブロックを出力するとともに、前係数ブロックを量子化して前量子化係数ブロックを出力する量子化手段と、

上記前量子化係数ブロックがオールゼロ量子化係数ブロックであるとき、オールゼロフラグをステップサイズ制御手段に供給する手段とを有し、

上記ステップサイズ設定手段は、前量子化係数ブロックがオールゼロ量子化係数ブロックであることをオールゼロフラグが示すとき、現量子化スケールコードのパリティを前前量子化スケールコードのパリティと異なるように設定し、それ以外の場合、現量子化スケールコードのパリティを前量子化スケールコードのパリティと異なるように設定することを特徴とする請求項51記載の変換係数量子化装置。

【請求項56】 上記前前量子化スケールコードは前前量子化スケールコードパリティを有し、

上記変換係数量子化装置は、

上記前前量子化スケールコードパリティが記憶量子化スケールコードパリティとして記憶されるメモリと、

上記前量子化係数ブロックがオールゼロ量子化係数ブロックではないことをオールゼロフラグが示すとき、前前量子化スケールコードパリティに上書きするように、前量子化スケールコードパリティを記憶量子化スケールコードパリティとして記憶する手段とを有し、

上記ステップサイズ設定手段は、

現量子化スケールコードパリティを記憶量子化スケールパリティと比較する比較手段と、

現量子化スケールコードパリティが記憶量子化スケールパリティと等しいことを上記比較手段が示すとき、現量子化スケールコードのパリティを変化させる手段を有することを特徴とする請求項55記載の変換係数量子化装置。

【請求項57】 現画像内に現画像ブロックがある現画

像と、現画像中の現画像ブロックの位置に前画像ブロックがある前画像とを有し、画像ブロックからなる連続した画像で構成される動画像信号を圧縮する動画像信号圧縮装置であって、

上記前画像に対して動き補償を行ない、現画像ブロックと前画像の差分ブロックを得る手段と、

上記差分ブロックを直交変換して現係数ブロックを出力する手段と、

上記現係数ブロックの量子化のための現ステップサイズと決定し、前画像ブロックから得られる前係数ブロックの量子化に用いられる前ステップサイズを示す情報を受け取るステップサイズ制御手段と、

上記現ステップサイズを前ステップサイズと異なるように設定するステップサイズ設定手段と、

上記現係数ブロックと前係数ブロックを受け取り、各係数ブロックに対するステップサイズを上記ステップサイズ制御手段から受け取る量子化器とを有することを特徴とする動画像信号圧縮装置。

【請求項58】 上記係数ブロックは、前画像の直前に処理されたIピクチャ又はPピクチャである前前画像において現画像中の現画像ブロックの位置にある前前画像ブロックから得られ、前前ステップサイズを用いて量子化される前前係数ブロックを有し、

上記量子化器は、

上記ステップサイズ制御手段からのステップサイズを用いて各係数ブロックを量子化し、量子化係数ブロックを出力するとともに、前係数ブロックを量子化して前量子化係数ブロックを出力する量子化手段と、

上記量子化係数ブロックがオールゼロ量子化係数ブロックであるとき、オールゼロフラグをステップサイズ制御手段に供給する手段とを有し、

上記ステップサイズ設定手段は、前量子化係数ブロックがオールゼロ量子化係数ブロックであることをオールゼロフラグが示すとき、現ステップサイズを前ステップサイズと異なるように設定せず、下ステップサイズを前前ステップサイズと異なるように設定することを特徴とする請求項57記載の動画像信号圧縮装置。

【請求項59】 上記現ステップサイズは最下位ビットを有し、

上記ステップサイズ設定手段は、

前ステップサイズのパリティをパリティビットで表わす手段と、

上記パリティビットを反転して、反転パリティビットを出力する手段と、

上記現ステップサイズの最下位ビットを、反転パリティビットで置換する手段とを有することを特徴とする請求項57記載の動画像信号圧縮装置。

【請求項60】 上記ステップサイズ設定手段は、前ステップサイズのパリティを決定して前パリティを出力する手段と、

10

20

30

40

50

現ステップサイズのバリティを決定して現バリティを出
力する手段と、

上記前バリティと現バリティを比較する比較手段と、
上記前バリティが現バリティと等しいことを上記比較手
段が判定したとき、現ステップサイズのバリティを反転
する手段とを有することを特徴とする請求項57記載の
動画像信号圧縮装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、動画像信号の変換係数
量子化方法及び装置、並びに動画像信号圧縮装置に関
し、特に、動画像信号から得られる変換係数を、ランダ
ム誤差が蓄積されないように量子化する動画像信号の変
換係数量子化方法及び装置、並びに動画像信号圧縮装置
に関する。

【0002】

【従来の技術】直交変換は、様々なデジタル信号処理
システムにおいて、種々の用途に用いられている。直交
変換は周波数領域での信号処理を可能とするものであ
る。直交変換としては、高速フーリエ変換（FFT：Fa
st Fourier Transform）、離散コサイン変換（DCT：
Discrete Cosine Transform）などが広く知られてい
る。直交変換は、例えば、時間領域の信号成分を、時間
領域の元の信号成分のスペクトル（すなわち、エネルギ
ーの周波数に対する分布）を示す周波数成分（直交変換
関数によって異なる）に分解する。信号成分を直交変換
することによって得られる周波数成分（一般に変換係数
と呼ばれる）に種々の処理を施すことによって、元の信
号成分の冗長度を削減することができる。すなわち、直
交変換は、元の信号成分を直交変換し、得られる変換係
数に処理を施すことにより、変換係数を元の信号成分を
表すビット数よりも少ないビット数で表すことができ
る。また、変換係数を逆直交変換することにより、元の
信号成分を得ることができる。

【0003】直交変換処理を利用したデジタル信号処
理システムの一例として、動画像信号の圧縮装置及び伸
長装置がある。相関性の強い信号は、周波数軸上では低
周波数領域に信号電力が集中することが知られている。
ある特定の座標軸（例えば周波数軸）への信号電力の集
中度が高ければ高いほど、冗長度の削減が可能であり、
信号圧縮効率が向上する。

【0004】動画像信号は一般に空間的及び時間的に強
い相関性を有するので、直交変換を行って特定の座標軸
に電力を集中させることにより、動画像信号の高効率圧
縮を実現することができる。従来、例えばNTSC方式
のビデオ信号に代表される動画像信号は、情報量が極め
て多く、動画像信号を長時間記録するには、大容量の記
録媒体が必要であった。さらに、このような記録媒体に
対して動画像信号を記録再生する際の情報レートも非常
に高かった。このため、動画像信号の記録には、大型の

磁気テープや光学ディスクが必要であった。

【0005】より小型の記録媒体に動画像信号を長時間
記録する場合には、動画像信号に信号圧縮を施して記録
情報量を削減することが不可欠である。さらに、小型の
記録媒体から再生される圧縮された動画像信号（以下、
圧縮動画像信号という。）を伸長する装置が必要であ
る。

【0006】このような要求に応えるため、各画像を構
成する動画像信号間や、動画像信号の各部分間の相関を
利用した様々な動画像信号圧縮方式が提案されている。
例えば、MPEG（Moving Picture Experts Group）に
より提案された動画像信号圧縮方式が広く知られてい
る。このMPEG方式については、各種文献にて広く紹
介されているので、ここでは詳細な説明は割愛する。

【0007】以下の説明は「画像」についてである。こ
こで説明する信号処理技術は、動画像を表わす動画像信
号の処理に関するものであり、一般にここで言う「画
像」とは、動画像の1つの画像を表わす動画像信号の部
分のことである。しかも、1つの動画像信号は、動画像
の1つの画像をフレームあるいはフィールドとして表わ
すことができる。特に記述の無い場合、「画像」とはフ
ィールドあるいはフレームのことである。

【0008】このMPEG方式は、まず、動画像信号を
構成する画像間の差分を取り、動画像信号の時間軸方向
の冗長度を落とす。その後、MPEG方式は、複数の画
素から成るブロック単位で、画像間差分に空間軸方向の
直交変換処理を施すことにより、動画像信号の空間軸方
向の冗長度を落とす。MPEG方式は、この直交変換処
理として離散コサイン変換（DCT）処理を用いてい
る。時間軸及び空間軸の両方向の冗長度を落とすこと
により、動画像は極めて効率よく圧縮される。このような
圧縮処理によって得られる圧縮動画像信号は、記録媒体
に記録され、あるいは伝送媒体を介して伝送される。

【0009】圧縮動画像信号を記録媒体から再生し、あ
るいは伝送媒体を介して受信する場合には、DCT変換
によって得られる変換係数のブロックを圧縮動画像信号
から抽出する。そして、変換係数を逆直交変換（MPE
G方式における逆離散コサイン変換（IDCT：Invers
e Discrete Cosine Transform）を用いて処理し、画像
間差分のブロックを再生して、元の画像の動画像信号を
再生する。

【0010】MPEG方式に基づいた動画像信号圧縮装
置の構成例を図28に示す。この図28に示す動画像信
号圧縮装置では、デジタル動画像信号がブロック化回
路201に入力され、このデジタル動画像信号が、例
えばNTSC方式などの標準ビデオフォーマットからブ
ロックフォーマットに変換されて、ブロック化された動
画像信号が生成される。ここで、各画像の動画像信号
は、空間軸方向、すなわち水平方向及び垂直方向に16
×16画素のマクロブロックに分割される。マクロプロ

ックはさらに8×8画素のブロックに細分される。

【0011】図28に示す動画像信号圧縮装置は、画像を構成するブロック全てが処理されるまで、各画像の動画像信号をブロック単位で圧縮する。次に、この動画像信号圧縮装置は、別の画像の動画像信号を処理するが、この別の画像は、動画像を構成する一連の画像における次の画像であってもよいし、そうでなくてもよい。以下に、図28に示す動画像信号圧縮装置における1つの画像内の画素の1ブロックの圧縮について説明する。ここで、圧縮される複数の画素からなるブロックを現画像ブ

ロックと称する。ブロック化動画像信号は動き予測器202に供給される。動き予測器202は、現画像ブロックS1を含む現画像をブロック単位で差分ブロック算出回路203に供給する。

【0012】差分ブロック算出回路203は、動き予測器202から現画像ブロックS1を受信するときに、動き予測器202からの現画像ブロックS1に対応するマッチングブロックS2を受信する。このマッチングブロックS2は、ピクチャメモリ群212に記憶された再生画像から予測器213によって得られる。差分ブロック算出回路203は、現画像ブロックS1と、これに対応するマッチングブロックS2との画素単位の差分を求める。得られる差分ブロックS3は直交変換回路204に供給される。

【0013】直交変換回路204は、通常DCT回路であり、差分ブロックS3を直交変換し、得られる変換係数ブロックを量子化器205に供給する。量子化器205は、変換係数ブロックを量子化して量子化変換係数ブロックを出力する。可変長符号化器(VLC)206は、量子化器205からの量子化変換係数ブロックに、ハフマン符号化、ランレンクス符号化等の可変長符号化を施す。そして、得られる符号化変換係数ブロックは出力バッファ207を介して、例えばデジタル伝送路に出力される。

【0014】出力バッファ207に記憶されたビット数を示す制御信号は、量子化器205にフィードバックされる。量子化器205は、この制御信号に応じて量子化ステップサイズを調整して、出力バッファ207のオーバーフローやアンダーフローを防止する。すなわち、量子化ステップサイズの増減により、出力バッファ207に供給されるビット数が増減する。

【0015】また、量子化変換係数ブロックは、量子化器205から逆量子化器208に供給される。逆量子化器208は、この動画像信号圧縮装置での予測符号化の際に用いられる再生画像を量子化変換係数から再生する局部復号化器の一部である。逆量子化器208は、量子化器205による量子化処理と補完的な処理を行なうことにより、量子化変換係数ブロックを逆量子化する。得られる変換係数ブロックは、逆直交変換回路(IDC

T)209に供給され、そこで直交変換回路204によ

る直交変換処理と補完的な処理を施されることにより、逆直交変換される。得られる再生差分ブロックS4は加算器210に供給される。

【0016】また、この加算器210には、ピクチャメモリ群212のうちの予測器213によって選択された1つのピクチャメモリから、現画像ブロックS1に対応したマッチングブロックS2が供給される。加算器210は、逆直交変換回路209からの再生差分ブロックS4と、ピクチャメモリ群212からのマッチングブロックS2との画素単位の加算を行ない、再生画像ブロックS5を出力する。再生画像ブロックS5は、セレクタ211により選択されたピクチャメモリ212A乃至212Dのうちのいずれか1つに供給されて、記憶される。

【0017】再生画像ブロックは、選択されたピクチャメモリにブロック単位で記憶されて、選択されたピクチャメモリ内において再生画像(現画像に対応する)を形成する。その後、再生画像は、他の画像の動画像信号を圧縮する予測符号化のためのマッチングブロックを得るのに用いられる。

【0018】動き予測器202は、現画像のマクロブロック毎に、現画像のマクロブロックと、記憶されている他の画像の動画像信号の異なるマクロブロックとの間の動きベクトルを決定する。また、動き予測器202は、現画像の各マクロブロック内の画素と、他の画像の異なるマクロブロック内の画素との差分の絶対値和(絶対値差分和)を出力する。各絶対値差分和は、現画像の各マクロブロックと、他の画像のマクロブロックとのマッチングの度合を示す。動き予測器202は、各動きベクトルとそれに対応する絶対値差分和を予測モード決定回路215に供給する。

【0019】予測モード決定回路215は、動き予測器202からのデータを用いて、1以上の他の再生画像に基づいて現画像を予測符号化するのに用いられる予測モードを決定する。現画像は、以下の予測モードのいずれか1つを用いて予測符号化することができる。

【0020】(1)画像が、他の画像を参照せずその画像自体で符号化される画像内(イントラ)モード。このようにして符号化された画像はIピクチャと称せられる。

(2)動画像において時間的に先行する再生画像を参照して予測符号化を行う前方予測モード。このようにして符号化された画像はPピクチャと称せられる。

【0021】(3)動画像において時間的に先行する再生画像と動画像において時間的に遅れた再生画像を参照して、あるいは先行する再生画像と遅れた再生画像の画素単位の線形演算(例えば、平均値計算)を行なうことにより、ブロック単位の予測を行なう両方向予測モード。このようにして符号化された画像はBピクチャと称せられる。

【0022】すなわち、Iピクチャは、画像内で画像内

(イントラ) 符号化が完結する画像である。Pピクチャは、動画像において時間的に前にある再生Iピクチャ又はPピクチャより予測符号化される。Bピクチャは、時間的に前又は後にある再生Iピクチャ又はPピクチャを用いてブロック単位で予測符号化されるか、あるいは動画像において時間的に前にある再生Iピクチャ又はPピクチャと、時間的に後にある再生Iピクチャ又はPピクチャとから線形演算によって得られるブロックを用いて予測符号化される。

【0023】そして、予測モード決定回路215は、予測モードとそれに対応する動きベクトルを予測器213及び読出アドレス発生器214に供給する。読出アドレス発生器214は、動きベクトルに応じて、ピクチャメモリ群212に読出アドレスを供給し、これにより、ピクチャメモリ212A乃至212Dは、記憶している再生画像ブロックを読み出す。再生画像ブロックの読出ブロックの位置は、動きベクトルにより指定される。予測器213は、予測モード決定回路215からの予測モード信号PMに基づいて、ピクチャメモリ212A乃至212Dから読み出されたブロックのうちの1つを選択する。選択された読出ブロックは、現ブロックS1に対するマッチングブロックS2である。現ブロックがBピクチャの一部である場合、予測器213は、ピクチャメモリ212A乃至212Dからの読出ブロックに対して線形演算を行ない、必要なマッチングブロックを出力する。予測器213は、マッチングブロックS2を差分ブロック算出回路203と加算器210に供給する。

【0024】MPEG方式による動画像信号伸長装置の構成例を図29に示す。この動画像信号伸長装置では、動画像信号圧縮装置から直接供給された圧縮動画像信号、あるいは記録媒体から再生された圧縮動画像信号は、ビットストリームとして入力バッファ221に供給され、一旦記憶される。圧縮動画像信号は、符号化変換係数ブロック(現ブロックを表わす符号化変換係数ブロックを含む)と、各ブロックの予測モード情報、量子化ステップサイズ情報、動きベクトルとからなる。

【0025】圧縮動画像信号は、入力バッファ221から1画像毎に読み出されて、逆可変長符号化器(IVLC)222に供給される。この逆可変長符号化器222は、圧縮動画像信号に逆可変長符号化を施して、圧縮動画像信号を量子化変換係数ブロック、及び各ブロックの予測モード情報、量子化ステップサイズ情報、動きベクトルの各成分に分離する。

【0026】量子化変換係数の各ブロックは、逆量子化器223に供給され、この逆量子化器223は、ブロック毎の量子化ステップサイズを用いて量子化変換係数ブロックを逆量子化し、変換係数ブロックを出力する。逆直交変換回路(IDCT)224は、変換係数ブロックに逆直交変換処理、通常IDCT処理を施して、再生差分ブロックを形成する。逆量子化器223と逆直交変換

回路224はそれぞれ、図28に示す動画像信号圧縮装置の量子化器205と直交変換回路204による処理と補完的な処理を行なう。

【0027】読出アドレス発生器130は、逆可変長符号化器222から供給される現ブロックの動きベクトルに応じて、ピクチャメモリ228A乃至228Dに読出アドレスを供給する。各ピクチャメモリ228A乃至228Dは、読出アドレスに基づいて、記憶している再生画像ブロックを読み出す。予測器229は、予測モード信号PMに応じて、ピクチャメモリ228A乃至228Dからの読出ブロックのいずれか1つを選択する。選択された読出ブロックは、現ブロックを再生するためのマッチングブロックである。現ブロックがBピクチャとして符号化された画像の一部をなす場合、予測器229は、ピクチャメモリ228A乃至228Dからの読出ブロックに対して線形演算を行って、マッチングブロックを形成する。予測器229は、マッチングブロックを加算器225に供給する。

【0028】加算器225は、逆直交変換回路224からの再生差分ブロックと、予測器229からのマッチングブロックとの画素単位の加算を行って、現画像の現画像ブロックを再生する。セレクタ226は、再生現画像ブロックをピクチャメモリ228A乃至228Dのいずれか1に供給して記憶させ、そこで現画像は再生される。再生現画像ブロックは、選択されたピクチャメモリ内の再生現画像の現画像ブロックの位置に記憶される。現画像の再生ブロック全てが、選択されたピクチャメモリ228A乃至228Dに記憶されると、再生現画像は、読み出しが可能となり、動画像における時間的に前又は後にある他の画像を再生するのに参照される。

【0029】ピクチャメモリ228A乃至228Dに記憶されている再生画像は、表示アドレス発生器227が発生する読出アドレスに応じて、セレクタ226を介し、出力動画像信号として読み出される。すなわち、この出力動画像信号は、スキャンコンバータによりピクチャメモリ228A乃至228Dから、例えばNTSC等の所定のビデオ信号フォーマットのラスタフォーマットで読み出される。得られた出力動画像信号は、例えばCRT等のディスプレイに表示される。この例では、同期信号発生器131は、外部同期発生器にロックされ、周期的にフレーム同期信号を発生し、これを表示アドレス発生器227に供給している。表示アドレス発生器227は、このフレーム同期信号に同期して読出アドレスを発生する。

【0030】

【発明が解決しようとする課題】直交変換回路、例えば上述した動画像信号圧縮装置や動画像信号伸長装置で用いられているDCT回路やIDCT回路等は、整数で表わされる画素値や変換係数に対して有限ビット数でそれぞれ演算を行う。その結果、これらの直交変換回路での

直交変換では、ビット数の切り捨てをすることがある。このため、実数を用いた直交変換の精度や、直交変換に用いられる回路構成が異なり、直交変換の結果が異なってしまう。これにより、動画像信号圧縮装置と動画像信号伸長装置間や共通の圧縮信号を伸長する動画像信号伸長装置間でミスマッチが生じる。

【0031】例えば、動画像信号圧縮装置では、圧縮動画像信号を形成する際に、動画像信号から得られる差分ブロックを直交変換し、得られた変換係数に所定の処理を施して量子化する。そして、動画像信号伸長装置においては、逆直交変換回路の実数演算精度や構成が、動画像信号圧縮装置の実数演算精度や構成に対応しない場合、動画像信号伸長装置の出力が、動画像信号圧縮装置の入力と異なる可能性がある。すなわち、動画像信号伸長装置の出力は、その動画像信号伸長装置に用いられている回路の精度や構成に依存する。

【0032】逆直交変換回路の演算精度や構成は、逆直交変換を行う回路によって異なる。例えば、変換係数のブロックを、2つの異なる構成の同種の逆直交変換回路を用いて逆変換すると、結果は異なることがある。このような結果の差異は、逆直交変換ミスマッチ誤差（以下、ミスマッチ誤差という。）と呼ばれる。

【0033】MPEG方式は、DCTやIDCTの演算精度を規定しているが、演算方法や構成については何も規定していない。これは、MPEG方式の規格が決定される以前に、DCTやIDCTを行なう回路や方法が開発されたためである。MPEG方式においては、上述のように、動画像信号圧縮装置は、例えば動画像信号に対して画像間動き補償予測符号化を行なう。ここでは、動画像信号をブロックに分割し、現画像ブロックと、再生画像に動き補償を行なうことによって得られるマッチングブロックとから差分ブロックを形成し、この差分ブロックをDCT処理により直交変換する。得られた変換係数を量子化し、この量子化変換係数に可変長符号化を施す。そして、符号化変換係数を、予測モード情報、量子化ステップサイズ情報及び動きベクトルとともに組み込んで、圧縮動画像信号を形成する。

【0034】動画像信号伸長装置は、符号化変換係数に逆可変長符号化を施し、得られた量子化変換係数に逆量子化を行ない、そして、この逆量子化により得られた変換係数にIDCT処理を施す。ここで得られた再生差分ブロックは、動きベクトルに応じて再生画像に動き補償を施すことによって得られるマッチングブロックに加算される。これにより再生画像ブロックが得られ、この再生画像ブロックは、動画像出力信号を出力するための再生画像のブロックとして記憶され、参照画像としても使用される。

【0035】動画像信号圧縮装置は、予測符号化を行うための再生画像を量子化変換係数から得る局部復号化器を備えている。この局部復号化器は、逆量子化器と、逆

直交変換回路とを備えている。動画像信号圧縮装置の局部復号化器のIDCT回路と動画像信号伸長装置のIDCT回路の構成が異なると、動画像信号圧縮装置の局部復号化器で得られる再生画像が、動画像信号伸長装置で得られる再生画像と異なることがある。こうしたIDCT処理の実行による差異は、MPEG規格に準拠した動画像信号圧縮装置により形成した圧縮動画像信号を光ディスクなどの記録媒体に記録して販売する場合に問題を生じる。この光ディスクから再生された圧縮動画像信号を他の製造者により製造、販売された動画像信号伸長装置で伸長すると、再生画像が元の画像と異なる可能性がある。しかも、その差異は、実際に使用された動画像信号伸長装置により様々である。同様に、圧縮動画像信号が、地上波又は衛星放送、電話システム、ISDNシステム、ケーブル、無線、あるいは光通信システム等の通信システムにより伝送される場合、異なる動画像信号伸長装置間で上述のような非互換性が生じる虞がある。

【0036】ミスマッチ誤差が特に問題となるのは、画像間予測符号化を行う場合である。この画像間予測符号化は、フィールド間符号化やフレーム間符号化を指すが、次第にこのミスマッチ誤差は蓄積されてしまい、再生画像に致命的な破綻を生じる可能性がある。

【0037】MPEG方式による動画像信号圧縮においては、各ビデオシーケンスは、例えば8又は12画像を単位とする画像群（GOP：Group Of Pictures）に分割されている。各画像は、上述したようにIピクチャ、Pピクチャ、Bピクチャに分類される。

【0038】Bピクチャは予測符号化の参照画像としては使用されない。したがって、Bピクチャで生じるミスマッチ誤差により他の画像に誤差が生じることはない。ところが、Pピクチャでミスマッチ誤差が生じると、ミスマッチ誤差を有する画像が、次の画像の予測符号化を行うためにピクチャメモリに記憶されることとなる。したがって、画像間予測符号化を行うと、ピクチャメモリ内に記憶されたPピクチャの誤差が次第に広がり、このPピクチャから予測符号化されるPピクチャやBピクチャにも及ぶ。この誤差は、誤差のないIピクチャ又はPピクチャにより置換されるまで蓄積されていく。

【0039】同様に、Iピクチャにミスマッチ誤差が発生した場合、ミスマッチ誤差のある再生画像が、予測符号化を行うためのピクチャメモリに蓄積されることとなる。したがって、画像間予測符号化を行うと、ピクチャメモリ内に蓄積されたIピクチャの誤差が次第に広がり、このIピクチャから予測符号化されるPピクチャやBピクチャにも及ぶ。この誤差は、誤差のないIピクチャにより置換されるまで蓄積されていく。

【0040】誤差の蓄積の様子を図30に示す。図30において、Iピクチャを復号化する際に発生したミスマッチ誤差をEI、PピクチャP1を復号化する際に発生したミスマッチ誤差をEP1とすると、再生されたPピ

10

20

30

40

50

クチャP1に含まれる誤差の値は $E1 + EP1$ となる。またPピクチャP2を復号化する際に発生したミスマッチ誤差を $EP2$ とすれば、再生されたPピクチャP2に含まれる誤差の値は $E1 + EP1 + EP2$ となる。このように、個々のミスマッチ誤差は小さい値でも次第に蓄積していくと、大きな値の誤差となる。

【0041】このとき、動画像信号圧縮装置及び動画像信号伸長装置のMPEG復号化器で用いられるIDCT処理によって発生するミスマッチ誤差には、次の2つのものが存在する。

タイプ1：演算精度の不足に起因する誤差。

【0042】タイプ2：丸め込み方法の違いに起因する誤差。

演算精度はMPEG規格で規定されているが、この規格は完全にミスマッチ誤差を発生させないほど十分なものではなく、この規格を満たしているIDCT回路どうしにおいてもタイプ1のミスマッチ誤差が発生する可能性がある。

【0043】IDCT処理の出力は整数であるから、IDCT処理の実数演算を行った後、演算結果を整数に丸め込まなければならない。一般的には、最も近い整数に丸められる。しかし、ここで問題となるのは演算結果が $*.5$ （*は整数）という数となった場合である。MPEG方式では演算結果である $*.5$ の丸め込みの方法を規定していない。すなわち、あるIDCT回路ではこれを切り上げる処理を行い、また別のIDCT回路ではこれを切り捨てる処理を行う。また、演算結果の正負の符号により、丸め込みの方法が異なる場合もある。この丸め込みの方法の違いによって発生するミスマッチ誤差は、タイプ2のミスマッチ誤差である。

【0044】これら2種類のミスマッチ誤差は、タイプ1のミスマッチ誤差がランダムに発生するのに対し、タイプ2のミスマッチ誤差は体系的であるという点で異なる。タイプ1のミスマッチ誤差はランダムに発生するので、正の誤差と負の誤差がほぼ同じ確立で発生する。したがって、長時間予測符号化を行なった場合、タイプ1のミスマッチ誤差は平均化されていくと考えられる。

【0045】一方、タイプ2のミスマッチ誤差は体系的であり、そのIDCT処理に固有のミスマッチ誤差であるので、一定して同一方向のミスマッチ誤差となる。したがって、長時間予測符号化を行なうと、一方向に蓄積されていく。個々のミスマッチ誤差はわずかに+1又は-1であるが、一方向に蓄積されていくと、その値は次第に大きな値となる。なお、本願出願人は、国際公開番号WO 94/21083号公報において上記タイプ2のミスマッチ誤差を防止する方法及び装置を開示している。

【0046】ところで、タイプ1のミスマッチ誤差がかなり頻繁に発生しても、通常、この誤差は時間を経て消滅するため問題にはならない。しかし、2つ以上の連続

処理されるPピクチャ、あるいはIピクチャの後の1つ以上の連続処理されるPピクチャ内の同じ位置にある画像ブロックから得られるDCT係数の2つ以上のブロックは同一であることがある。DCT係数の各同一ブロックが逆直交変換されるときにタイプ1のミスマッチ誤差が発生すると、そのタイプ1のミスマッチ誤差はランダムであるが、次の画像（及びそれ以降の画像）に蓄積される。蓄積されたタイプ1のミスマッチ誤差により、動画像信号圧縮装置と動画像信号伸長装置の両方における復号化器によって得られる再生画像が、元の画像の動画像信号と異なってしまう。したがって、MPEG方式によって得られる画質が劣化することになる。

【0047】上述の従来技術に鑑み、本発明は、量子化係数ブロックが逆量子化及び逆直交変換されるときに反復性があるタイプ1のミスマッチ誤差を防止できるように、動画像信号圧縮装置の量子化器で用いられるステップサイズを決定する変換係数量子化方法及び装置、並びに動画像信号圧縮装置を提供することを目的とする。

【0048】

【課題を解決するための手段】本発明に係る変換係数量子化方法は、動画像信号を表すDCT係数の係数ブロックが、Pピクチャである現画像の中にある現画像ブロックから得られる現係数ブロックと、上記現画像の直前に処理されたPピクチャ又はIピクチャである前画像において現画像中の現画像ブロックの位置にある前画像ブロックから得られる前係数ブロックとからなり、上記動画像信号を表すDCT係数の係数ブロックを、反復ミスマッチ誤差を防止するように量子化する変換係数量子化方法であって、前ステップサイズを用いて前係数ブロックを量子化する前係数ブロック量子化工程と、現係数ブロックの量子化のための現ステップサイズを決定する現ステップサイズ決定工程と、現ステップサイズを前ステップサイズと異なるように設定する現ステップサイズ設定工程と、上記設定工程で設定された現ステップサイズを用いて、現係数ブロックを量子化する現係数ブロック量子化工程とを有することを特徴とする。

【0049】また、本発明に係る変換係数量子化装置は、動画像信号を表すDCT係数の係数ブロックが、Pピクチャである現画像の中にある現画像ブロックから得られる現係数ブロックと、上記現画像の直前に処理されたPピクチャ又はIピクチャである前画像において現画像中の現画像のブロック位置にある前画像ブロックから得られる前係数ブロックとからなり、動画像信号を表すDCT係数の係数ブロックを、反復ミスマッチ誤差を防止するように量子化する変換係数量子化装置であって、前係数ブロックの前ステップサイズと現係数ブロックの現ステップサイズを決定し、各係数ブロックの量子化のためステップサイズを決定するステップサイズ制御手段を有し、このステップサイズ制御手段は、現ステップサイズを前ステップサイズと異なるように設定するス

テップサイズ設定手段と、各係数ブロックを受け取り、各係数ブロックのステップサイズを上記ステップサイズ制御手段から受け取る量子化器とを有することを特徴とする。

【0050】さらに、本発明に係る動画像信号圧縮装置は、現画像内に現画像ブロックがある現画像と、現画像中の現画像ブロックの位置に前画像ブロックがある前画像とを有し、画像ブロックからなる連続した画像で構成される動画像信号を圧縮する動画像信号圧縮装置であって、上記前画像に対して動き補償を行ない、現画像ブロックと前画像の差分ブロックを得る手段と、上記差分ブロックを直交変換して現係数ブロックを出力する手段と、上記現係数ブロックの量子化のための現ステップサイズと決定し、前画像ブロックから得られる前係数ブロックの量子化に用いられる前ステップサイズを示す情報を受け取るステップサイズ制御手段と、上記現ステップサイズを前ステップサイズと異なるように設定するステップサイズ設定手段と、上記現係数ブロックと前係数ブロックを受け取り、各係数ブロックに対するステップサイズを上記ステップサイズ制御手段から受け取る量子化器とを有することを特徴とする。

【0051】

【作用】本発明では、動画像信号を表わすDCT係数の係数ブロックが、Pピクチャである現画像の中にある現画像ブロックから得られる現係数ブロックと、現画像の直前に処理されたPピクチャ又はIピクチャである前画像において現画像中の現画像ブロックの位置にある前画像ブロックから得られる前係数ブロックとからなる。そして、前ステップサイズを用いて前係数ブロックを量子化する。現係数ブロックの量子化のための現ステップサイズを、現ステップサイズを前ステップサイズと異なるように設定する。この設定された現ステップサイズを用いて、現係数ブロックを量子化する。

【0052】

【実施例】以下、本発明に係る動画像信号の変換係数量子化方法及び装置、並びに動画像信号圧縮装置の実施例について、図面を参照しながら説明する。この実施例は、本発明を、動き補償予測符号化と離散コサイン変換(DCT: Discrete Cosine Transform)を組み合わせたハイブリッド(hybrid)符号化方式に適用したものである。このハイブリッド符号化方式は、ISO/IEC規格11172(通称MPEGという。)で述べられており、また、国際電信電話諮問委員会(CCITT)のH.261に準拠している。CCITTは、動画像信号の符号化規格、記録媒体に記録するため(蓄積用)の動画像信号の符号化規格を公布する国際的な委員会である。MPEGハイブリッド符号化方式の基本的構成は、広く知られている。ISO/IEC規格11172には、ここで用いられる語の用語集が記載されている。

【0053】動き補償予測符号化は、動画像信号の時間

軸方向の相関を利用して動画像信号が有する冗長度を削減する方法である。既に復号化されている別の動画像を参照画像として、現在の符号化対象である現画像を動き補償予測し、得られる動き補償予測誤差を、動きベクトル、予測モード等と共に圧縮信号として、伝送したり、記録媒体に記録する。これにより、現在の画像を表わすのに必要な圧縮された動画像信号(以下、圧縮動画像信号という。)の情報量を大幅に削減することができる。画像間動き補償予測符号化は、動画像信号のフレーム間で行うこともできる。また、動画像信号がインタレース画像信号のような場合には、フィールド間でも行うことができる。また、動画像信号の性質に応じて、フレーム間符号化とフィールド間符号化を適応的に切り換えることも可能である。

【0054】そして、上記動き補償予測誤差信号は、動画像を構成する各画像の空間軸方向の相関を利用する差分信号圧縮器により圧縮される。この差分信号圧縮器の一例としては、DCT回路などの直交変換回路と量子化器を組み合わせたものが代表的である。DCTは、直交変換の一種であり、動画像信号の有する画像内(フレーム内又はフィールド内)の2次元相関性により、特定の周波数成分に信号電力を集中させる。この集中分布した係数のみが、そのままあるいは追加圧縮されて、圧縮動画像信号とされる。これにより、現画像を表わすのに必要な圧縮動画像信号の情報量をさらに削減することができる。

【0055】図1に、本発明を適用した第1の実施例の動画像信号圧縮装置の具体的な構成を示す。図1に示す動画像信号圧縮装置においては、動画像信号が画像毎に分割され、画像単位で圧縮される。各画像は画像ブロックに分割され、ブロック単位で圧縮される。ここで、現在圧縮されている画像ブロックを、現画像ブロックと称する。現画像ブロックは、現画像と称される画像のブロックである。Iピクチャあるいは現画像の直前に処理されたPピクチャを、前画像と称する。現画像の後に処理される最初のPピクチャを、後画像と称する。前画像において現画像ブロックの位置にある画像ブロックを、前画像ブロックと称する。また、後画像において現画像ブロックの位置にある画像ブロックを、後画像ブロックと称する。さらに、これら前画像ブロック、現画像ブロック、後画像ブロックからそれぞれ得られるDCT係数のブロックを、前係数ブロック、現係数ブロック、後係数ブロックと称する。

【0056】動画像信号(通常、ビデオ信号)は、第1のピクチャメモリ群2へ供給され、複数の画像の動画像信号が一旦記憶される。メモリコントローラ3は、第1のピクチャメモリ群2及び第2のピクチャメモリ群4からの動画像信号の読出を制御する。

【0057】動き予測器6は、現画像ブロックと、第1のピクチャメモリ群2に記憶されている前画像及び後画

10

20

30

40

50

像の複数のブロックとのブロックマッチングを行なうことにより、動き予測を行なう。ブロックマッチングは、例えば16×16画素のブロックを用いて行なう。現画像ブロックとブロックマッチされる前画像及び後画像の各ブロックは、メモリコントローラ3から出力される動き予測参照画像指示信号に従って、第1のピクチャメモリ群2の中から選択される。そして、動き予測器6は、前画像又は後画像中のブロックと、現画像ブロックとの差分、すなわち動き予測誤差が最小となる第1のピクチャメモリ群2内の前画像又は後画像中のブロック位置を、動きベクトルMVとして動き補償器7に供給する。

【0058】動き補償器7は、動きベクトルMVに応じて、第2のピクチャメモリ群4に記憶されている各再生画像のブロックを潜在的なマッチングブロックとして読み出す。これらの潜在的なマッチングブロックが読み出される再生画像中の位置は、動きベクトルMVによって指定される。そして、第2のピクチャメモリ群4から読み出された潜在的なマッチングブロックのうちの1つが、メモリコントローラ3から出力される動き補償参照画像指示信号MAに従って、現画像ブロックのマッチングブロックS2として選択される。第2のピクチャメモリ群4に記憶されている再生画像は、後述するように、差分ブロック符号化器9から出力される量子化DCT係数を局部復号化する局部復号化器10及び加算器16によって再生される画像である。

【0059】動き補償参照画像指示信号MAによってマッチングブロックが選択される再生画像は、現ピクチャの予測モードにより異なる。前方予測モード（Pピクチャ）では、前再生画像からマッチングブロックが選択される。両方向予測モード（Bピクチャ）では、マッチングブロックは、前再生画像又は後再生画像から選択されるか、あるいは前再生画像と後再生画像の各ブロックに対して線形演算（例えば、平均値計算）を行なうことによって得られる。そして、現画像が画像内符号化モードで符号化される（Iピクチャである）場合、すなわち画像が予測なしで符号化される場合、全画素値が0であるゼロブロックがマッチングブロックとして用いられる。第2のピクチャメモリ群4から読み出されるマッチングブロックは適応的に変更され、これにより、動画像信号の各ブロックについて最適なマッチングブロックの選択が行われる。

【0060】動き補償器7は、まず、現画像ブロックと、異なるモードで得られた潜在的なマッチングブロックとの画素毎の差分の絶対値和を計算することにより、各画像の予測モードを選択する。そして、この和が最小である予測モードを選択する。動き補償器7は、選択された予測モードを示す動き補償モード信号MMを、後述する可変長符号化器（VLC）17に供給する。また、動き補償器7により、第2のピクチャメモリ群4は、選択された予測モードのマッチングブロックS2を差分ブ

ック算出回路8に供給する。

【0061】この差分ブロック算出回路8は、第1のピクチャメモリ群2から読み出された動画像信号の現画像ブロックS1が供給され、現画像ブロックS1とマッチングブロックS2の差分を画素単位で算出する。差分ブロック算出回路8は、得られた差分ブロックS3を差分ブロック符号化器9に供給する。差分ブロック符号化器9は、差分ブロックS3をDCT変換及び量子化して圧縮し、量子化されたDCT係数（以下、量子化DCT係数という。）SCのブロックを形成する。

【0062】量子化DCT係数SCの各ブロックは、差分ブロック符号化器9から可変長符号化器17に供給される。また、この可変長符号化器17には、各量子化DCT係数ブロックに対する動きベクトルMV、動き補償モード信号MM、変更量子化ステップサイズSSが供給されている。可変長符号化器17は、供給されたこれらのデータに、例えばハフマン符号化等の可変長符号化を施す。また、可変長符号化器17は、可変長符号化したデータに、MPEG規格の各層のスタートコードやヘッダ情報を付加して、圧縮動画像信号を形成する。圧縮動画像信号は、画像単位で出力バッファ19に供給され、ビットストリームとして読み出される。

【0063】読み出された圧縮動画像信号は、例えば光ディスク等の記録媒体に記録されたり、地上波又は衛星放送、電話システム、ISDNシステム、ケーブル、無線、光通信システム等の通信システムを介して伝送される。また、量子化DCT係数SCの各ブロックは、差分ブロック符号化器9から局部復号化器10に供給され、伸長されて再生差分ブロックS4が得られる。この動画像信号圧縮装置内の局部復号化器10は、後述する圧縮動画像信号を伸長する動画像信号伸長装置と類似した構成を有するが、詳細においては区別される。

【0064】再生差分ブロックS4は加算器16に供給される。また、加算器16には、第2のピクチャメモリ群4のピクチャメモリのうちのいずれか1つからの現画像ブロックS1に対するマッチングブロックS2が供給される。加算器16は、局部復号化器10からの再生差分ブロックS4と、第2のピクチャメモリ群4からのマッチングブロックS2との加算を画素単位で行ない、再生画像ブロックS5を形成する。この再生画像ブロックは、第2のピクチャメモリ群4のピクチャメモリのうちのいずれか1つに供給されて、記憶される。

【0065】再生画像ブロックは、第2のピクチャメモリ群4のうちの選択されたピクチャメモリにブロック単位で憶えられ、このピクチャメモリにおいて、局部復号化器10と加算器16によって得られた再生画像ブロックは、再生画像（現画像に対応する）を形成する。これが終了すると、再生画像は、他の画像の動画像信号を圧縮する予測符号化のためのマッチングブロックを得るのに用いられる。

【0066】ここで、上記差分ブロック符号化器9と局部復号化器10について、さらに詳しく説明する。差分ブロック符号化器9は、図1に示すように、離散コサイン変換(DCT)回路11と、量子化器12とを備える。DCT回路11は、差分ブロック算出回路8から供給される差分ブロックS3をDCT変換により直交変換する。なお、差分ブロックS3は、他の種類の直交変換を用いて直交変換されてもよい。各16×16のマクロブロックは、6つの8×8ブロック(4つの輝度ブロックと4つの色差ブロック)として直交変換される。DCT回路11は、得られた384(8×8×6)個のDCT係数のブロックを量子化器12に供給する。量子化器12は、DCT係数のブロックを量子化して、量子化DCT係数SCのブロックを出力する。

【0067】ステップサイズコントローラ51は、量子化器12が384DCT係数の各ブロックを量子化するのに用いる量子化ステップサイズを制御する。このステップサイズコントローラ51は、出力バッファ19からのバッファ使用情報と、QSCパリティメモリ53からの前画像パリティと、メモリコントローラ3からのブロックアドレス及びピクチャタイプコードとに応じて、ステップサイズを設定する。

【0068】QSCパリティメモリ53は、ステップサイズコントローラ51からの各画像ブロックのステップサイズパリティとメモリアドレスが供給されると、ステップサイズパリティを記憶する。その後、QSCパリティメモリ53は、このステップサイズパリティを次のピクチャの量子化のための量子化ステップサイズを制御するのに用いられる前画像パリティとして、ステップサイズコントローラ51に送り返す。

【0069】局部復号化器10は、図1に示すように、逆量子化奇数化器13と、逆直交変換例えば逆離散コサイン(IDCT)回路15とを備えている。逆量子化奇数化器13は、量子化器12からの量子化DCT係数SCのブロックを、ステップサイズコントローラ51により設定されたステップサイズを用いて逆量子化する。ま*

$$QDC = dc // 8 \quad (8 \text{ ビット})$$

$$QDC = dc // 4 \quad (9 \text{ ビット})$$

$$QDC = dc // 2 \quad (10 \text{ ビット})$$

$$QDC = dc // 1 \quad (11 \text{ ビット})$$

ここで、dcはDC係数、QDCは量子化されたDC係数を、それぞれ表す。

【0073】イントラマクロブロックを直交変換することによって得られるDCT係数であって、DC成分以外の成分である各DCT係数(以下、AC係数という。)※

$$ac^{-}(i, j) = (16 * ac(i, j)) // Wi(i, j)$$

重み付け行列Wiの係数を以下の式(3)に示す。

$$Wi = \begin{matrix} 8 & 16 & 19 & 22 & 26 & 27 & 29 & 34 \\ 16 & 16 & 22 & 24 & 27 & 29 & 34 & 37 \\ 19 & 22 & 26 & 27 & 29 & 34 & 34 & 38 \end{matrix}$$

また、このとき、逆量子化奇数化器13は、得られたブロック内の逆量子化されたDCT係数(以下、逆量子化係数という。)の和が奇数でないときに、この逆量子化DCT係数のブロックに対してパリティ反転を行なう。これにより、和が奇数化されたDCT係数のブロックを逆直交変換する際に、タイプ2のミスマッチ誤差が生じるのを防止することができる。IDCT回路15は、逆量子化奇数化器13からの和が奇数化されたDCT係数のブロックに対して逆直交変換を行なって、再生差分ブロックS4を生成する。IDCT回路15は、DCT回路11による直交変換に対応する逆直交変換を行ない、すなわち逆離散コサイン変換(IDCT)処理を行なう。

【0070】ここで、ステップサイズコントローラ51が出力する量子化ステップサイズ情報に応じて量子化器12が行なう量子化について説明する。量子化器12は、各画像の動画信号の各マクロブロック(すなわち各画像ブロック)から得られる6×8×8個のDCT係数のブロックを量子化する。画像内符号化モード(1ピクチャ)での圧縮画像の各マクロブロックは、イントラマクロブロックと称される。画像間符号化モードでの圧縮画像の各マクロブロックは、ノンイントラマクロブロックと称される。イントラマクロブロックが直交変換されると、(0, 0)成分のDCT係数はDC係数となる。

【0071】DC係数は、丸め込みにより、8ビット精度での量子化の際にはDC係数を8で割り、9ビット精度での量子化の際にはDC係数を4で割り、10ビット精度での量子化の際にはDC係数を2で割り、11ビット精度での量子化の際にはDC係数を1で割ることにより、量子化される。イントラマクロブロックのDC係数は、以下の式(1)に従って量子化される。なお、式(1)及び以降の式は、Cプログラミング言語のシンタックス(構文)で表わされる。このシンタックスは、例えば、Herbert Schildt, USING TURBO C, Osborne McGraw-Hill (1988), p.83-87 に記載されている。

【0072】

(1)

※は、以下の式(2)に従って、重み付け行列WiによってDCT係数ac(i, j)を重み付けして、量子化ファクタac⁻(i, j)を求めることにより、量子化する。

【0074】

(2)

22 22 26 27 29 34 37 40
 22 26 27 29 32 35 40 48
 26 27 29 32 35 40 48 58
 26 27 29 34 38 46 56 69
 27 29 35 38 46 56 69 83

つぎに、以下の式(4)により、量子化ファクタ ac^{-} * [0075]
 (i, j) を量子化して、各AC係数の量子化レベルQ [数1]
 AC(i, j) を求める。

$$QAC(i, j) = \frac{ac^{-}(i, j) + \text{sign}(ac^{-}(i, j)) * ((p * mquant) // q)}{(2 * mquant)} \quad (4)$$

【0076】この式(4)において、p、qは、任意の整数の定数であり、例えばp=3、q=4を用いる。mquantは、量子化ステップサイズを表わす。画像間符号化マクロブロック(ノンイントラマクロブロック)を直交変換して得られるDCT係数は、以下の式(5)※

$$ac^{-}(i, j) = (16 * ac(i, j)) // Wh(i, j) \quad (5)$$

重み付け行列Wnの係数を以下の式(6)に示す。

$$Wh = \begin{matrix} 16 & 17 & 18 & 19 & 20 & 21 & 22 & 23 \\ 17 & 18 & 19 & 20 & 21 & 22 & 23 & 24 \\ 18 & 19 & 20 & 21 & 22 & 23 & 24 & 25 \\ 19 & 20 & 21 & 22 & 23 & 24 & 26 & 27 \\ 20 & 21 & 22 & 23 & 25 & 26 & 27 & 28 \\ 21 & 22 & 23 & 24 & 26 & 27 & 28 & 30 \\ 22 & 23 & 24 & 26 & 27 & 29 & 30 & 31 \\ 23 & 24 & 25 & 27 & 28 & 30 & 31 & 33 \end{matrix} \quad (6)$$

つぎに、以下の式(7)により、量子化ファクタ ac^{-} ★ ACを求める。
 (i, j) を量子化して、各AC係数の量子化レベルQ★ [0078]

$$QAC(i, j) = ac^{-}(i, j) / (2 * mquant) \\ \text{if } (mquant = \text{odd}) \\ = (ac^{-}(i, j) + 1) / (2 * mquant) \\ \text{if } (mquant = \text{even AND } ac^{-}(i, j) < 0) \\ = (ac^{-}(i, j) - 1) / (2 * mquant) \\ \text{if } (mquant = \text{even AND } ac^{-}(i, j) > 0)$$

得られた量子化レベルQAC(i, j)は、上述した量子化DCT係数SCのブロックとして、可変長符号化器17と局部復号化器10に供給される。

【0079】上記の式から、連続処理される画像の同じ位置にある画像ブロックから得られるDCT係数のブロックが等しく、量子化器12がこれらブロックを同じステップサイズmquantで量子化する場合、得られる量子化DCT係数のブロックも等しくなることがわかる。

【0080】動画像信号圧縮装置における逆量子化奇数化器13と、以下に説明する動画像信号伸長装置における

$$\begin{matrix} \text{rec}(0, 0) = 8 * QDC & (8 \text{ ビット}) \\ \text{rec}(0, 0) = 4 * QDC & (9 \text{ ビット}) \\ \text{rec}(0, 0) = 2 * QDC & (10 \text{ ビット}) \\ \text{rec}(0, 0) = 1 * QDC & (11 \text{ ビット}) \end{matrix} \quad (8)$$

また、逆量子化奇数化器13は、イントラマクロブロックを直交変換して得られる量子化AC係数を、式(9)

(3)

※に従い、ノンイントラマクロブロックを変換して得られる全てのDCT係数を、重み付け行列Wnによって重み付けして、量子化ファクタ $ac^{-}(i, j)$ を求めることにより、量子化する。

【0077】

☆る逆量子化器とが、量子化器12からの量子化DCT係数のブロックの逆量子化を行なう様子を以下に示す。逆量子化奇数化器13は、差分ブロック符号化器9からの量子化DCT係数SCのブロックが供給されると、逆量子化して、逆量子化DCT係数、すなわち逆量子化されたDCT係数のブロックを出力する。具体的には、逆量子化奇数化器13は、イントラマクロブロックを直交変換して得られる量子化DC係数を、式(8)に示す処理を用いて逆量子化し、DC係数を出力する。

【0081】

に示す処理を用いて逆量子化する。

* * [0082]

rec(i,j) = (mquant*2*QAC(i,j)*Wi(i,j)) / 16

if(QAC(i,j) == 0)

rec(i,j) = 0

(9)

さらに、逆量子化奇数化器13は、ノンイントラマクロ ※を、式(10)に示す処理を用いて逆量子化する。

ブロックを直交変換して得られるの全ての量子化係数 ※ [0083]

if QAC(i,j) > 0

rec(i,j) = ((2*QAC(i,j)+1)*mquant*Wn(i,j)) / 16

if QAC(i,j) < 0

(10)

rec(i,j) = ((2*QAC(i,j)-1)*mquant*Wn(i,j)) / 16

if QAC(i,j) == 0

rec(i,j) = 0

上記式(8)乃至(10)から、連続処理される画像の同じ位置にある画像ブロックから得られる量子化DCT係数のブロックが等しく、逆量子化奇数化器13がこれらの量子化DCT係数のブロック(以下、逆量子化DCT係数ブロックという。)を同じステップサイズmquantで逆量子化する場合、得られる逆量子化DCT係数ブロックも等しくなることがわかる。そして、これらの等しい逆量子化DCT係数ブロックのうちの1つを逆直交変換する際に、タイプ1のミスマッチ誤差が生じた場合、これらの逆量子化DCT係数のうちの次のブロックを逆直交変換する際にも、同じタイプ1のミスマッチ誤差が生じることとなり、タイプ1のミスマッチ誤差が蓄積してしまう。

【0084】図1に示すステップサイズコントローラ51の具体例を、図1乃至6を参照して詳細に説明する。図1に示す動画画像信号圧縮装置において、ステップサイズコントローラ51は、等しい量子化DCT係数ブロックが、2つの連続処理されるPピクチャの同じ位置にある画像ブロックから、あるいはIピクチャとその後のPピクチャの同じ位置にある画像ブロックから得られることなく、各Pピクチャから得られる各DCT係数ブロックを量子化するのに用いられる量子化ステップサイズを制御する。

【0085】上述の式(2)、(3)より以下のことがわかる。すなわち、2つの連続処理される画像の同じ位置にある画像ブロックから得られる等しいDCT係数ブロックを量子化するのに、異なる量子化ステップサイズが用いられる場合、量子化されるDCT係数が等しくても、得られる量子化DCT係数が異なる可能性が高い。

【0086】また、上述の式(9)、(10)より以下のことがわかる。すなわち、異なる量子化ステップサイズを用いる2つの等しいDCT係数ブロックから得られる量子化DCT係数ブロックを、逆量子化奇数化器13

により(また、後述の動画画像信号伸長装置における逆量子化器により)逆量子化する場合、得られる逆量子化DCT係数ブロックは互いに異なる可能性が高い。

【0087】その結果、2つの等しいDCT係数ブロックのうちの第1のブロックから得られる逆量子化DCT係数ブロックを逆直交変換する際に、タイプ1のミスマッチ誤差が生じたとしても、2つの逆量子化DCT係数ブロックのうちの第2のブロックを逆直交変換する際に、同じタイプ1のミスマッチ誤差が生じる可能性は非常に低い。したがって、連続処理される画像の同じ位置にある画像ブロックから得られるDCT係数の差分ブロック符号化器9における量子化のためのステップサイズを、互いに異なるものとすることにより、これらの画像ブロックから得られる逆量子化DCT係数を局部復号化器10や動画画像信号伸長装置にて逆直交変換する際に、タイプ1のミスマッチ誤差が反復するのを防ぐことができる。

【0088】ところで、変更したステップサイズが通常のステップサイズの整数倍である場合、上述の量子化ステップサイズの変更はあまり有効ではない。これは、異なる量子化ステップサイズを用いても、2つの逆量子化DCT係数ブロックが等しくなる可能性が高くなるからである。したがって、通常のステップサイズの整数倍でステップサイズを変化させないようにする。

【0089】MPEG方式では、あらゆるステップサイズが許容されているのではなく、許容されるステップサイズ(以下、許容ステップサイズという。)は、2つのパラメータで表わされる。すなわち、量子化ステップサイズは、下記表1に示す量子化スケールコードとqスケールタイプで規定される。

【0090】

【表1】

表1

量子化 スケールコード	Qスケール タイプ=0	Qスケール タイプ=1	量子化 スケールコード	Qスケール タイプ=0	Qスケール タイプ=1
0	使用禁止	使用禁止	16	32	24
1	2	1	17	34	28
2	4	2	18	36	32
3	6	3	19	38	36
4	8	4	20	40	40
5	10	5	21	42	44
6	12	6	22	44	48
7	14	7	23	46	52
8	16	8	24	48	56
9	18	10	25	50	64
10	20	12	26	52	72
11	22	14	27	54	80
12	24	16	28	56	88
13	26	18	29	58	96
14	28	20	30	60	104
15	30	22	31	62	112

【0091】そこで、ステップサイズコントローラ51は、ステップサイズの変更が有効であり、MPEG方式に準拠したものとなるように、量子化スケールコード(quantizing_scale_code; 以下、単にQSCという。)を変更する。異なるステップサイズを得ことができるQSCの最小限の変更は、最も簡単にはQSCのパリティを変更することである。しかし、値が1のQSCのパリティを変更すると、QSCの値が0になり、許容された値のQSCを得ることができない。したがって、QSCのパリティを反転する単純なプロセスを修正して、QSCが0にならないようにする。この修正について、以下に詳細に説明する。ここで、この修正したQSCのパリティの変更を、単にQSCパリティ反転と称することにする。また、QSCはルックアップテーブルを用いて変更することもでき、あるいはQSCに1を加えると共に、値が31であるQSCに1を加えたときのオーバーフローを防止するようにQSCを変更することもできる。これらの方法の詳細を以下に説明する。

【0092】2つの等しいDCT係数ブロックを量子化するのに用いられるステップサイズを表わすQSCのパリティ反転により、ステップサイズを他のステップサイズの整数倍であるステップサイズに変更すると、等しい量子化DCT係数ブロックが生じる可能性がある。例えば、QSCを2から1へ、あるいは1から2へ変更する場合、QSCパリティ反転により、ステップサイズは2の因数で変化される。しかし、QSCの2から1への変更が、ステップサイズを2から1へ変更させる場合(すなわち、QTが0状態のとき)、DCT係数ブロック内の全てのDCT係数が偶数のときは、等しい量子化DCT係数ブロックのみが得られる。これは、比較的希なケ

ースである。さらに、QSCの2から1への変更が、ステップサイズを4から2へ変更させる場合(すなわち、QTが1の状態のとき)、DCT係数ブロック内の全てのDCT係数が4の倍数のときは、等しい量子化DCT係数ブロックのみが得られる。これも、比較的希なケースである。

【0093】上述のように、ステップサイズコントローラ51は、量子化に用いられるステップサイズを表わすQSCパリティを、Pピクチャから得られるDCT係数ブロックに対して反転する。すなわち、Pピクチャに反復性があるミスマッチ誤差が発生するのを防止することにより、反復性のミスマッチ誤差が目立つのを効果的になくすることができる。Iピクチャは予測符号化されないもので、Iピクチャにタイプ1のミスマッチ誤差が生じることはあっても、タイプ1のミスマッチ誤差が反復的に生じることはない。Bピクチャは、予測参照画像として使用されないで、反復性があるタイプ1のミスマッチ誤差がIピクチャ又はPピクチャと、Bピクチャとの間に発生することはあっても、その反復性があるミスマッチ誤差は1つのBピクチャに発生するだけであり、あまり目立たない。一方、Pピクチャは、Iピクチャ及び他のPピクチャからの予測により得られ、他のPピクチャやBピクチャの参照画像として用いられる。Pピクチャと、このPピクチャが予測されるIピクチャとの間、及び、Pピクチャと、このPピクチャから予測されるPピクチャとの間に、反復性があるタイプ1のミスマッチ誤差が発生することがある。Pピクチャに発生する反復性があるミスマッチ誤差は、このPピクチャから予測される全てのPピクチャ及びBピクチャに現われるので、誤差が目立つことになる。

【0094】DCT係数ブロックの量子化によりブロック内の $6 \times 8 \times 8$ 個の量子化DCT係数の全てが0である量子化DCT係数ブロックが生じた場合、ステップサイズコントローラ51は、ステップサイズを表わすQSCのパリティ反転を一時的に停止する。384個の量子化DCT係数の全てが0である量子化DCT係数ブロックを、オールゼロ量子化係数ブロックと称する。オールゼロ量子化係数ブロックは、特殊なコードであるオールゼロブロックコードで表わされ、逆量子化や逆直交変換される際にミスマッチ誤差を発生しない。これは、オールゼロブロックコードからは全ての差分が0であるオールゼロ再生差分ブロックが生成されるためである。全ての量子化係数が0であるオールゼロ量子化係数ブロックから得られる再生画像ブロックは、参照画像のマッティングブロックと等しい。その結果、ミスマッチ誤差が発生しないので、現画像ブロックの量子化によりオールゼロ量子化係数ブロックが発生する場合、後画像ブロックから得られるDCT係数ブロックを量子化するのに用いられるステップサイズを表わすQSCのパリティを反転する必要はない。さらに、後述するように、現係数ブロックの量子化によりオールゼロ量子化係数ブロックが発生する場合、後係数ブロックを量子化するのに用いられるステップサイズを表わすQSCのパリティを反転すると、ミスマッチ誤差が生じることがある。したがって、ステップサイズコントローラ51は、現係数ブロックの量子化によりオールゼロ量子化係数ブロックが発生する場合、後係数ブロックを量子化するのに用いられるステップサイズを表わすQSCのパリティを反転しない。

【0095】ここで、量子化されてオールゼロ量子化係数ブロックを発生させる係数ブロックの後の画像における係数ブロックを量子化するのに用いられるステップサイズを表わすQSCのパリティを反転しない理由を説明する。現画像ブロックが前画像ブロックに極めて類似している場合、現画像ブロックから得られるDCT係数の値は全て小さくなる。現係数ブロックを最小ステップサイズであるステップサイズ1を用いて量子化すると、得られる量子化係数ブロック内のDCT係数のうち少なくとも1つは0でない。現画像ブロックから得られる逆量子化係数ブロックを逆直交変換する際にミスマッチ誤差が生じる場合、このミスマッチ誤差は再生画像ブロックに現われる。

【0096】第1の後画像ブロックは、第1の後画像においてPピクチャである現画像中の現画像ブロックの位置にある画像ブロックである。第1の後画像ブロックが現画像ブロックに極めて類似している場合、第1の後画像ブロックから得られる係数ブロックは現画像ブロックから得られる係数ブロックと等しい。第1の後画像ブロックから得られる係数ブロックをステップサイズ2を用いて量子化すると、オールゼロ量子化係数ブロックが発生する(ステップサイズ0は許容値ではないので、ステ

ップサイズ1を表わすQSCのパリティを反転したステップサイズ2を用いる。)

【0097】オールゼロ量子化係数ブロックを逆量子化や逆直交変換すると、ミスマッチ誤差は発生しない。したがって、現画像ブロックから得られる逆量子化係数ブロックを逆直交変換する際にミスマッチ誤差が発生する場合、このミスマッチ誤差は、第1の後画像ブロックから得られる逆量子化係数ブロックを逆直交変換するときにも得られる再生画像ブロックにも現われる(これは、ミスマッチ誤差が参照画像に存在するからである。)。しかし、このミスマッチ誤差は再生画像には蓄積されない。

【0098】第2の後画像ブロックは、第2の後画像においてPピクチャである現画像中の現画像ブロックの位置にある画像ブロックである。この第2の後画像ブロックが第1の後画像ブロックと極めて類似している場合、第2の後画像ブロックから得られる係数ブロックは、第1の後画像ブロックから得られる係数ブロックと等しい。

【0099】第2の後画像ブロックから得られる係数ブロックを量子化する際のステップサイズを表わすQSCパリティを反転することができる場合、第2の後画像ブロックから得られる係数ブロックは、ステップサイズ1を用いて量子化される(ステップサイズ1は、ステップサイズ2のパリティを反転することにより得られる。)。これにより得られる量子化係数ブロックは、現画像ブロックから得られる係数と同じの値が0でない(以下、ノンゼロという。)量子化DCT係数からなる。現画像ブロックから得られる逆量子化係数ブロックを逆直交変換するときにミスマッチ誤差が生じる場合、このミスマッチ誤差は、第2の後画像ブロックから得られる逆量子化係数ブロックを逆直交変換する際に繰り返される。現画像ブロックと第2の後画像ブロックの両方からの係数ブロックを復号化することによって得られるミスマッチ誤差は、第2の後画像ブロックから得られる逆量子化係数ブロックを逆直交変換する際の再生画像に現われる。したがって、ミスマッチ誤差は、第2の後画像に蓄積する。

【0100】この問題を回避するため、係数ブロックから得られる画像ブロックが、オールゼロ量子化係数ブロック、すなわち量子化DCT係数が全て0である量子化DCT係数ブロックが得られる画像ブロックの後にくる場合、係数ブロックを量子化するステップサイズを表わすQSCのパリティを反転しないようにする。これは、オールゼロ量子化係数ブロックを量子化するステップサイズを表わすQSCのパリティを、パリティメモリに記憶しないことによって行なわれる。例えば、この規則を用いると、第2の後画像ブロックから得られる係数ブロックは、ステップサイズ2を用いて量子化される。これは、第1の後画像ブロックではなく、現画像ブロックか

ら得られる係数ブロックを量子化するのに用いられるステップサイズを表わすQSCのバリティが、バリティメモリに記憶されているバリティに対して反転されるためである。こうして、オールゼロ係数ブロックが発生する。このオールゼロ係数ブロックを逆量子化や逆直交変換する場合、ミスマッチ誤差は発生しない。したがって、現画像ブロックから得られる逆量子化係数ブロックを逆変換する際にミスマッチ誤差が生じると、現画像ブロック、第1の後画像ブロック、第2の後画像ブロックから得られる逆量子化係数ブロックを逆変換する場合、
10 同じミスマッチ誤差が各再生画像ブロックに現われてしまう。しかし、このミスマッチ誤差は、第1及び第2の後画像には蓄積されない。

【0101】図1に示す実施例において、オールゼロ量子化係数ブロックを生じるステップサイズを表わすQSCのバリティのQSCバリティメモリ53への書込は禁止され、オールゼロ量子化係数ブロックの後のQSCバリティの反転が防止される。図1に示すステップサイズコントローラ51の具体例において、IピクチャあるいはPピクチャの後の連続処理されるPピクチャから得られる（オールゼロ量子化係数ブロックの後の係数ブロックを除く）係数ブロックを量子化するステップサイズを表わすQSCのバリティを反転することにより、処理を簡素化することができる。QSCバリティを反転することにより、連続処理されるPピクチャ、あるいはIピクチャの後のPピクチャの同じ位置にある画像ブロックから得られるDCT係数ブロックを、逆のバリティのQSCで表わされるステップサイズで量子化する。ステップ
20 サイズを表わすQSCのバリティは、連続処理される画像内の画像ブロックから得られる量子化DCT係数ブロックが同一であるか否かに関わらず、連続Pピクチャの間、あるいはIピクチャとPピクチャの間で反転される。このため、量子化係数ブロックが同一であるか否かを判定する必要がない。

【0102】ステップサイズコントローラ51は、例えば図2に示すフローチャートに従って動作するデジタルシグナルプロセッサあるいはコンピュータからなる。図2に示すフローチャートのステップS1において、ステップサイズコントローラ51は、現係数ブロック、すなわち現画像の現画像ブロックから得られるDCT係数
40 ブロックを量子化するためのステップサイズを算出する。この算出されたステップサイズ（以下、算出ステップサイズという。）は、例えば出力バッファ19の使用状況を示すデータに応じて決定される。上述のように、ステップサイズは、出力バッファ19のオーバーフローやアンダーフローが生じないように算出される。量子化ステップサイズを増加させると、出力バッファ19に入力されるビット数は減少し、これによりオーバーフローが防止される。また、量子化ステップサイズを減少させると、出力バッファ19に入力されるビット数が増加

し、これによりアンダーフローが防止される。算出ステップサイズは、MPEG規格により許容される値のステップサイズに制限され、算出量子化スケールコード（以下、算出QSCという。）とqスケールタイプ（以下、QTという。）により表わされる。

【0103】ステップS2において、ステップサイズコントローラ51は、現画像がPピクチャであるか否かを判定する。ステップS2の結果がYESであり、現画像がPピクチャであるとき、処理は、ステップサイズS3へ
10 進み、ステップS1で求めた算出QSCを必要に応じて修正する処理を行なう。ステップS2の結果がNOであり、現画像がIピクチャあるいはBピクチャであるとき、ステップS1で求めた算出QSCを修正する処理を省略して、処理は、ステップS10に進む。

【0104】ステップS3において、ステップサイズコントローラ51は、QSCバリティメモリ53から記憶されている前画像QSCバリティ情報を読み出す。この記憶されている前画像QSCバリティ情報は、前画像ブロック、すなわち前に処理されたPピクチャあるいはIピ
20 クチャにおいて現画像中の現画像ブロックの位置にある画像ブロックから得られる係数ブロックを量子化するのに用いられるステップサイズのQSCバリティを示す。

【0105】ステップS4において、ステップサイズコントローラ51は、ステップS1で求めた算出QSCバリティが、読み出された前画像QSCバリティと同じであるか否かを判定する。バリティの比較は複数の種類の中から選択することができる。例えば、偶数/奇数（ $2n/2n+1$ ）のバリティ、 $3n/3n+1/3n+2$ のバリティ、等である。本実施例では、偶数/奇数（ $2n/2n+1$ ）のバリティを用いることとする。結果がYESのとき、処理は、ステップS5に進み、ステップ
30 サイズコントローラ51は、ステップS1で求めた算出QSCを修正してバリティ反転を行なう。例えば、QSCの最下位ビット（以下、LSBという。）を、表2に示す条件に従って反転する。得られるQSCが0のとき、QSCは、1のQSCの逆バリティを有する許容される値である2に設定される。他のQSCバリティ反転方法を以下に説明する。バリティ反転された算出QSCは、現QSC、すなわち係数ブロックの量子化に用いられる
40 ステップサイズを表わすQSCとして用いられ、処理は、ステップS6に進む。

【0106】

【表2】

45
表2

前画像の QSCパリティ	算出QSCの LSB (QSC>1)	QSCのLSB
0	0	1
0	1	1
1	0	0
1	1	0

【0107】ステップS4の結果がNOであり、ステップS1で算出されたQSCパリティが前画像QSCパリティと異なるとき、処理は、ステップS6に進み、ステップS1で求めた算出QSCは現QSCとして用いられる。

【0108】なお、ステップS4を省略して、ステップS5において、前画像QSCパリティを反転し、この反転前画像QSCパリティをステップS1で求めた算出QSCのLSBの代わりに用いてもよい。LSBの代わりに反転前画像QSCパリティを用いる算出QSCは、現QSCとして用いられる。ここでも、得られる現QSCの値が0のとき、現QSCは、1のQSCの逆パリティを有し許容QSC値である2に設定される。次に、処理は、ステップS6に進む。

【0109】ステップS6において、ステップサイズコントローラ51は現QSCとQTを量子化器12に供給する。量子化器12は、ステップサイズコントローラ51により供給された現QSCとQTで表わされるステップサイズを用いて、現係数ブロックを量子化する。現係数ブロックの量子化後、量子化器12は、得られる全ての現係数ブロックがオールゼロ量子化係数ブロックであるか否か、すなわち量子化DCT係数ブロックの量子化DCT係数が全て0であるか否かを判定する。全て0のとき、量子化器12はオールゼロフラグをセットする。ステップS7において、ステップサイズコントローラ51は、オールゼロフラグがセットされているか否かを判定する。ステップS7の結果がNOのとき、オールゼロフラグはセットされてなく、現量子化係数ブロックの量子化DCT係数のうち少なくとも1つは0でないことを示す。次に、処理は、ステップS8に進む。ステップS8において、ステップサイズコントローラ51は、ステップS6で量子化器12に供給されたQSCのパリティを算出し、その結果をQSCパリティメモリ53に記憶し、次のPピクチャを処理する際の前画像QSCパリティとして用いる。そして、処理は、ステップS9に進み、終了する。

【0110】一方、ステップS7の結果がYESのとき、オールゼロフラグは、セットされ、現量子化係数ブロックがオールゼロ量子化係数ブロックであることを示す。現画像はPピクチャである（ステップS2の結果がYESである）ので、オールゼロ量子化係数ブロック

46

は、現画像ブロックと前画像ブロックとに差異がないことを示す。ここで、処理は、ステップS9に進み、終了する。これにより、ステップS6で量子化器12に供給されたQSCのパリティが、前画像QSCパリティとしてQSCパリティメモリ53に記憶されるのを禁止する。このため、後係数ブロック、すなわち次のPピクチャにおいて現画像中の現画像ブロックの位置にある画像ブロックから得られるDCT係数ブロックが、QSCパリティメモリ53に記憶されているQSCとは異なるパリティを有するQSCで量子化される。

【0111】ステップS2の結果がNOであり、現画像がIピクチャあるいはBピクチャであるとき、処理は、ステップS10に進む。ステップS10において、ステップサイズコントローラ51は、ステップS1で求めた算出QSCとQTを量子化器12に供給する。量子化器12は、ステップサイズコントローラ51から得られた現QSCとQTで表わされるステップサイズを用いて、現係数ブロックを量子化する。次に、処理は、ステップS11に進み、ステップサイズコントローラ51は、現画像がIピクチャであるか否かを判定する。

【0112】ステップS11の結果がYESであり、現画像がIピクチャのとき、処理は、ステップS12に進み、ステップサイズコントローラ51は、ステップS10で量子化器12に供給されたQSCのパリティを算出する。ステップサイズコントローラ51は、得られるQSCパリティを前画像QSCパリティとしてQSCパリティメモリ53に記憶する。現画像がIピクチャであるとき、各量子化係数ブロックは少なくとも1つの0でないDCT係数（ノンゼロDCT係数）を有する。したがって、現画像がIピクチャのとき、現画像がPピクチャであるときと異なり、ステップサイズパリティを前画像パリティとしてQSCパリティメモリ53に記憶する前に、現量子化係数ブロックがオールゼロ量子化係数ブロックであるか否かを判定する必要はない。このため、Iピクチャから得られる各係数ブロックのQSCパリティは、そのまま前画像QSCパリティとしてQSCパリティメモリ53に記憶される。次に、処理は、ステップS9に進み、終了する。

【0113】ステップS11の結果がNOであり、現画像がBピクチャのとき、量子化後の処理は行なわず、処理は、ステップS9に進み、終了する。つぎに、ステップサイズコントローラ51のハードウェア構成を、図3を参照して説明する。ステップサイズコントローラ51は、量子化器12に供給される現係数ブロックの量子化のためのステップサイズを表わす量子化スケールコード（QSC）及びqスケールタイプ（QT）を出力するステップサイズ算出器61及びステップサイズモディファイア63と、現係数ブロックの量子化に用いられるステップサイズを表わすQSCのパリティを算出するQSCパリティ算出器65と、QSCパリティメモリ53に対

する前画像QSCパリティの読出／書込を制御する読出／書込信号発生器67及びアドレス発生器69とを備えている。

【0114】DCT回路11が、現画像ブロックを（Iピクチャの場合）、あるいは現画像ブロックから得られる差分ブロック（Pピクチャ又はBピクチャの場合）を直交変換し、得られるDCT係数ブロックが量子化器12に供給されると、ステップサイズ算出器61は、出力バッファ19からバッファ使用情報を受け、このバッファ使用情報に応じて、現係数ブロック、すなわち現画像ブロックから得られるDCT係数ブロックを量子化するためのステップサイズを算出して、出力する。ステップサイズ算出器61により得られた算出ステップサイズは、MPEGで許容されるステップサイズ値に制限されており、算出された量子化スケールコード（QSC）とqスケールタイプ（QT）で表わされる。ステップサイズ算出器61は、算出QSCとQTをステップサイズモディファイア63に供給する。ステップサイズモディファイア63は、QTを変更せずに量子化器12に供給する。

【0115】また、各画像の始めにおいて、ステップサイズコントローラ51には、メモリコントローラ3からピクチャタイプコードが供給される。このピクチャタイプコードは、現画像がIピクチャ、Pピクチャ、Bピクチャのいずれであるかを示すものである。ピクチャタイプコードは、読出／書込信号発生器67とステップサイズモディファイア63に供給される。

【0116】各係数ブロックの量子化の始めに、メモリコントローラ3は、係数ブロックが得られる画像ブロックの画像内での位置を示すブロックアドレスを出力する。したがって、本実施例では、メモリコントローラ3は現画像ブロックのブロックアドレスを出力する。ブロックアドレスは、メモリコントローラ3からアドレス発生器69に供給され、このアドレス発生器69は現画像ブロックのブロックアドレスをメモリアドレスに変換する。このメモリアドレスは、QSCパリティメモリ53内のアドレスである。QSCパリティメモリ53には、前画像ブロック、すなわち前に処理されたIピクチャあるいはPピクチャにおいて現画像中の現画像ブロックの位置にある画像ブロックの前画像QSCパリティが記憶されている。アドレス発生器69は、メモリアドレスをQSCパリティメモリ53に供給する。

【0117】メモリコントローラ3により出力されるピクチャタイプコードがPピクチャのピクチャタイプコードであるときのみ、ステップサイズモディファイア63はイネーブル状態となる。メモリコントローラ3により出力されたピクチャタイプコードがIピクチャあるいはBピクチャのピクチャタイプコードであるとき、ステップサイズモディファイア63はイネーブル状態とならず、ステップサイズ算出器61で求めた算出QSCを、

現QSC、すなわち現係数ブロックを量子化するステップサイズを表わすQSCとして、変更せずに出力する。このような画像から得られる係数ブロックは、ステップサイズ算出器61により求められたステップサイズモディファイア63による変更のない算出QSCで表わされるステップサイズを量子化ステップサイズとして用い、量子化される。

【0118】メモリコントローラ3により出力されるピクチャタイプコードがPピクチャのピクチャタイプコードであるとき、読出／書込信号発生器67は、読出モードでイネーブル状態となり、オールゼロフラグの状態によっては、書込モードでもイネーブル状態にもなる。

【0119】現画像がPピクチャであることを示すピクチャタイプコードに応じて、読出／書込信号発生器67は、リードイネーブルモードの読出／書込信号を、QSCパリティメモリ53に供給する。リードイネーブル信号とアドレス発生器69により出力されるメモリアドレスに応じて、QSCパリティメモリ53は、前画像ブロック、すなわち前に処理されたIピクチャあるいはPピクチャにおいて現画像中の現画像ブロックの位置にある画像ブロックの前画像QSCパリティを、ステップサイズモディファイア63に送り返す。

【0120】ピクチャタイプコードが、現画像がPピクチャであることを示すとき、ステップサイズモディファイア63は、ステップサイズ算出器61で求めた算出QSCを変更し、現QSCを出力する。例えば、ステップサイズモディファイア63は、QSCパリティメモリ53から得られた前画像QSCパリティと、ステップサイズ算出器61で求めた算出QSCのパリティとを比較する。このとき、算出QSCのパリティが前画像QSCパリティと等しい場合、ステップサイズモディファイア63は、ステップサイズ算出器61で求めた算出QSCのパリティを反転し、現QSCを出力する。QSCのパリティを反転するために、ステップサイズモディファイア63は、上述の表2に示すように算出QSCのLSBを反転するようにしてもよい。しかし、得られるQSCの値が0のとき、ステップサイズモディファイア63は、QSCの値を2に設定してパリティを反転する。これにより、禁止された0のQSCを回避することができる。他のQSCパリティ反転方法を、以下に説明する。

【0121】ステップサイズモディファイア63はQSCパリティメモリ53からの前画像QSCパリティを反転し、ピクチャタイプコードが、現画像がPピクチャであることを示すとき、ステップサイズ算出器61で求めた算出QSCのLSBを反転前画像QSCパリティで置き換えて、現QSCを出力するようにしてもよい。ステップサイズ算出器61で求めた算出QSCのLSBを反転前画像QSCパリティで置き換えることにより、現QSCのパリティは常に、前QSC、すなわち前画像ブロックから得られる係数ブロックの量子化に用いられるス

ステップサイズを表わすQSCのバリティを反転したものとなる。しかし、ここでも、算出QSCのLSBを反転前画像QSCバリティで置き換えることにより0のQSCが生じる場合、算出QSCの値を2に設定して、そのバリティを反転し、許容値のバリティ反転QSCを出力する。

【0122】ステップサイズモディファイア63は、現QSC及びQT、すなわち現ブロックを量子化するためのステップサイズを表わすQSCとQTを、量子化器12に供給する。量子化器12は、現QSCとQTで表わされるステップサイズを用いて現係数ブロックを量子化する。この現係数ブロックの量子化後、量子化器12は、得られた量子化係数ブロックがオールゼロ量子化係数ブロックであるか否か、すなわち量子化係数ブロックの量子化DCT係数が全て0であるか否かを判定する。全て0のとき、量子化器12はオールゼロフラグをセットする。

【0123】また、ステップサイズモディファイア63は、ステップサイズを可変長符号化器17に供給し、圧縮動画像信号に組み込まれるようにする。さらに、ステップサイズモディファイア63は、現QSCをQSCバリティ算出器65に供給する。QSCバリティ算出器65は、ステップサイズモディファイア63により量子化器12に供給される現QSCのバリティを算出し、得られたQSCバリティをQSCバリティメモリ53に供給する。QSCバリティメモリ53には、アドレス発生器69から、現画像ブロックのアドレスに対応するメモリアドレスが供給される。しかし、QSCバリティメモリ53に読出/書込信号発生器67からのライトイネーブルモードの読出/書込信号が供給されると、ステップサイズバリティは、QSCバリティメモリ53においてアドレス発生器69からのメモリアドレスにより示されるアドレスに書き込まれる。

【0124】読出/書込信号発生器67は、ピクチャタイプコードをオールゼロフラグをモニタし、ライトイネーブル信号をQSCバリティメモリ53に供給するか否かを判定する。現画像がBピクチャであることを示すピクチャタイプコードにより、読出/書込信号発生器67が、ライトイネーブルモードの読出/書込信号をQSCバリティメモリ53に供給することが禁止される。したがって、Bピクチャに関するQSCバリティが、QSCバリティメモリ53に記憶されることはない。ピクチャタイプコードが、現画像がIピクチャであることを示すとき、読出/書込信号発生器67は、画像の各画像ブロックに対するライトイネーブル信号をQSCバリティメモリ53に供給する。ピクチャタイプコードが、現画像がPピクチャであることを示すとき、読出/書込信号発生器67は、少なくとも1つのノンゼロ量子化DCT係数を含む量子化係数ブロックが得られる画像の画像ブロックに対するライトイネーブル信号を、QSCバリティ

メモリ53に供給する。

【0125】ライトイネーブルモードの読出/書込信号により、QSCバリティメモリ53は、アドレス発生器69からのアドレスで示されるメモリアドレスに、QSCバリティ算出器65からのQSCバリティを記憶する。QSCバリティメモリ53に記憶されたステップサイズバリティは、次のPピクチャが処理されるとき、前画像バリティとして用いられる。

【0126】ピクチャタイプコードが、現画像がPピクチャであることを示すとき、読出/書込信号発生器67は、オールゼロフラグの状態を判定する。オールゼロフラグがセットされてなく、現量子化係数ブロックが少なくとも1つのノンゼロ量子化DCT係数を含むとき、読出/書込信号発生器67は、ライトイネーブルモードの読出/書込信号をQSCバリティメモリ53に供給する。

【0127】オールゼロフラグがセットされ、現量子化係数ブロックがオールゼロ量子化係数ブロックであるとき、読出/書込信号発生器67は、ライトイネーブルモードの読出/書込信号をQSCバリティメモリ53に供給することが禁止される。したがって、オールゼロフラグがセットされると、現係数ブロックを量子化するステップサイズを表わす現QSCのバリティは、QSCバリティメモリ53に既に記憶されている前画像ブロックのQSCバリティに上書されず、QSCバリティメモリ53に書き込まれない。これにより、量子化器12に供給されたQSCのバリティが、前画像QSCバリティとしてQSCバリティメモリ53に記憶されることが禁止される。したがって、後画像ブロックから得られるDCT係数ブロックは、変更なしのQSCバリティで量子化される。

【0128】ステップサイズモディファイア63の第1の実施例の構成を、図4に示す。ステップサイズモディファイア63は、主としてバリティインバータ68とゼロ防止回路80の2つの部分からなる。バリティインバータ68は、インバータ71、73と、ANDゲート75、77と、ORゲート79とを備える。ゼロ防止回路80は、パラレル/シリアル変換器70と、ORゲート72と、1ビットメモリ74と、レジスタ76と、セレクト78とを備える。

【0129】バリティインバータ68において、ANDゲート75、77の出力はORゲート79の入力端に接続されている。ANDゲート75の入力のうちの1つは、制御入力Cに直接接続され、ANDゲート77の入力のうちの1つは、インバータ73を介して制御入力Cに接続されている。ANDゲート75、77、インバータ73、ORゲート79は、セレクト62を構成する。このセレクト62は、制御入力Cが1のとき入力Aを出力Oに接続し、制御入力Cが0のとき入力Bを出力Oに接続する。

【0130】ステップサイズモディファイア63のバリティインバータ68において、前画像QSCバリティは、QSCバリティメモリ53からインバータ71を介してセクタ62の入力Aとして供給される。ステップサイズ算出器61で求められた算出QSCのLSBは、セクタ62の入力Bとして供給される。ピクチャタイプコードは、現画像がPピクチャであるとき論理1の状態にあるコードエレメントPピクチャを含む。このピクチャタイプコードは、メモリコントローラ3（図1）からセクタ62の制御入力Cとして供給される。

【0131】現画像がIピクチャあるいはBピクチャのとき、コードエレメントPピクチャは0の状態である。このとき、ANDゲート75が閉じ、ANDゲート77が開き、ステップサイズ算出器61で求めた算出QSCのLSBを、QSCのLSBとして変化させずに出力Oに供給することができる。算出QSCのLSBは、ANDゲート77とORゲート79を介して出力Oとして供給される。

10

*

表3

前画像の QSCバリティ	算出QSCの LSB	Pピクチャ	QSCのLSB
0	0	1	1
0	1	1	1
1	0	1	0
1	1	1	0
0	0	0	0
0	1	0	1
1	0	0	0
1	1	0	1

【0134】上述のバリティインバータ68は、許容QSC値ではない0のQSC値を出力する可能性がある。したがって、バリティインバータ68からのQSC値は、ゼロ防止回路80で更に処理される。このゼロ防止回路80は、バリティインバータ68が0のQSC値を出力したとき、QSC値を2に設定する。ゼロ防止回路80において、パラレル/シリアル変換器70は、5ビットQSCをシリアルビットストリームに変換し、ORゲート72の一方の入力端に供給する。ORゲート72の出力は、1ビットメモリ74を介してORゲート72の他方の入力端に供給される。ORゲート72の出力は、選択信号として5ビットセクタ78に供給される。5ビットセクタ78の一方の入力端は、バリティインバータ68からQSCが供給され、他の入力端には、レジスタ76から00010が供給される。5ビットセクタ78の出力端は、現QSCを出力する。

【0135】バリティインバータ68からのQSCが0より大きく、少なくとも1つの1を含むとき、選択信号は論理1の状態のままであり、セクタ78はバリティインバータ68の出力を選択する。しかし、バリティ

50

*【0132】現画像がPピクチャのとき、コードエレメントPピクチャは1の状態である。このとき、ANDゲート75が開き、ANDゲート77が閉じ、インバータ71により反転された前画像QSCバリティがQSCのLSBとして出力される。この反転された前画像QSCバリティは、ANDゲート75とORゲート79を介して出力Oとして供給される。これにより、現画像がPピクチャのとき、インバータ71により反転された前画像QSCバリティは、ステップサイズ算出器61で求めた算出QSCのLSBの代わりに用いられる。このため、現係数ブロックを量子化するのに用いられるステップサイズを表わすQSCのバリティが、前係数ブロックの量子化に用いられるステップサイズを表わすQSCのバリティを反転したものとなる。1より大きい値のQSCに対するバリティインバータ68の論理演算を、以下の表3に示す。

【0133】

【表3】

ンバータ68が0のQSCを発生したとき、選択信号は論理0状態のままであり、セクタ78はレジスタ76の出力を選択する。したがって、バリティインバータ68が0のQSCを発生したとき、セクタ78は、バリティインバータ68の0出力を2値化した値で置き換える。

【0136】ステップサイズモディファイア63の他の実施例を図5に示す。ここでは、算出QSCのバリティを、ルックアップテーブルを用いて反転する。ルックアップテーブルに記憶されている値は、全て許容QSC値である。ステップサイズモディファイア63は、ルックアップテーブル105と、セクタ107とを備えている。セクタ107は、排他的論理和（XOR）ゲート111と、インバータ113と、ANDゲート115とからなる制御回路109により制御される。ルックアップテーブル105は、QSCの31個の各値に対するバリティ反転QSCを有している。バリティ反転QSCの多くは、上述のように、QSCのLSBを反転することによって得られるが、1のQSCに対するバリティ反転QSCは0ではなく2の値を有する。ステップサイズ算

出器61(図3)からの算出QSCは、ルックアップテーブル105のアドレス入力として供給される。この算出QSCに応じて、ルックアップテーブル105は、対応するパリティ反転QSCをセクタ107に供給する。また、セクタ107は、ステップサイズ算出器61から算出QSCが供給され、現QSC、すなわち現係数ブロックの量子化のステップサイズを表わすQSCを出力する。

【0137】セクタ107は制御回路109により制御される。通常、セクタ107は、算出QSCを現QSCとして選択するが、現画像がPピクチャであり、算出QSCのパリティが現画像QSCパリティと等しい場合、パリティ反転QSCを選択する。

【0138】制御回路109において、XORゲート111の一方の入力端には、ステップサイズ算出器61からの算出QSCのLSBが供給され、他方の入力端には、QSCパリティメモリ53から前画像QSCパリティが供給される。XORゲート111の出力は、インバータ113により反転され、ANDゲート115の一方の入力端に供給される。ANDゲート115の他方の入力端には、コードエレメントPピクチャが供給される。ANDゲート115は、セクタ107に選択信号を出力する。セクタ107は、この選択信号が論理1状態のとき、ルックアップテーブル105からパリティ反転QSCを選択し、選択信号が論理0状態のとき、算出QSCを選択する。

【0139】コードエレメントPピクチャは、ANDゲート115に供給される。現画像がIピクチャあるいはBピクチャであるとき、コードエレメントPピクチャは0状態にある。これにより、ANDゲート115の出力は0状態のままになり、セクタ107が算出QSCを現QSCとして選択する。

【0140】現画像がPピクチャのとき、コードエレメントは1状態となり、ANDゲート115が開き、選択信号は、XORゲート111からの出力がインバータ113により反転されたものとなる。算出QSCのLSBが前画像QSCパリティと等しいとき、算出QSCのパリティは前画像QSCパリティのLSBと等しい。XORゲート111の出力は論理0、インバータ113の出力は論理1、選択信号も論理1となる。したがって、セクタ107は、ルックアップテーブル105からパリティ反転QSCを現QSCとして選択する。一方、算出QSCのLSBが前画像QSCパリティと異なるとき、算出QSCのパリティは前画像QSCパリティのLSBと異なる。XORゲート111の出力は論理1、インバータ113の出力は論理0、選択信号も論理0となる。したがって、セクタ107は、算出QSCを現QSCとして選択する。

【0141】つぎに、ステップサイズモディファイア63の第3の実施例を図6に示す。ここでは、算出QSC

に1を加算し、オーバーフローが発生してQSCが32になるときQSCを30に設定することにより、算出QSCのパリティを反転する。ステップサイズモディファイア63は、5ビット加算器121と、レジスタ123と、セクタ107、125と、制御回路109とからなる。制御回路109は、排他的論理和(XOR)ゲート111と、インバータ113と、ANDゲート115とからなる。セクタ107と制御回路109での処理は、上述のものと同様であるので、ここでは説明を割愛する。

【0142】セクタ107には、ステップサイズ算出器61から算出QSCが供給される。算出QSCは、5ビット加算器121にも供給され、この5ビット加算器121には、レジスタ123から00001が供給される。ここで得られた和は、セクタ125の一方の入力端に供給され、レジスタ127からの2値化11110が、セクタ125の他方の入力端に供給される。セクタ125は、5ビット加算器121で出力されたキャリフラグにより制御される。通常、このキャリフラグは論理0状態にあり、セクタ125は、5ビット加算器121からの出力を選択する。

【0143】図6に示すステップサイズモディファイア63は、算出QSCに1を加算する5ビット加算器121により、算出QSCのパリティを反転させる。得られるパリティ反転QSCは、セクタ125により選択され、セクタ107に供給される。QSCの値が31のとき、5ビット加算器121は00000を出力し、キャリフラグを1にセットする。このキャリフラグにより、セクタ125は、30の2値化表現であるレジスタ127の出力を選択する。この値は、31と逆のパリティを有し、許容QSC値である。したがって、QSC値が31のとき、値30がセクタ107に供給される。

【0144】セクタ107は、上述のように、制御回路109により制御される。セクタ107は、通常、算出QSCを選択するが、現画像がPピクチャであり、算出QSCのパリティが前画像QSCパリティと等しいとき、セクタ125からのパリティ反転QSCを選択する。

【0145】さらに、算出QSCから1を引算する(あるいは2の補数である-1を加算することにより、算出QSCのパリティを反転させてもよい。結果は、図4に示すゼロ防止回路80と同様のゼロ防止回路80に供給される。算出QSCから1を引算するとパリティ反転QSCが0になるとき、ゼロ防止回路80は、図4で説明したように、パリティ反転QSCを2に設定する。

【0146】ここで、図1に示す動画像信号圧縮装置の他の実施例を図7に示す。図7に示す動画像信号圧縮装置において、図1の動画像信号圧縮装置の構成要素に対応するものについては、同一符号を付し、説明は割愛す

る。この図7に示す動画画像信号圧縮装置は、ステップサイズコントローラ81と、QSCメモリ83とを備えている。

【0147】ステップサイズコントローラ81は、例えば図8に示すフローチャートに従って動作するデジタルシグナルプロセッサあるいはコンピュータからなる。図8に示すフローチャートのステップS1において、ステップサイズコントローラ81は、上述のように、例えば出力バッファ19の使用状況を示すデータに応じて、現画像の現画像ブロックから得られるDCT係数を量子化するためのステップサイズを算出する。算出されたステップサイズは、MPEGで許容されるステップサイズ値に制限され、算出量子化スケールコード（算出QSC）と q スケールタイプ（QT）で表わされる。

【0148】ステップS2において、ステップサイズコントローラ81は、現画像がPピクチャであるか否かを判定する。ステップS2の結果がYESであり、現画像がPピクチャのとき、処理は、ステップS3に進み、ステップS1で求めた算出QSC及びステップサイズを必要に応じて変更する処理を開始する。ステップS2の結果がNOであり、現画像がIピクチャあるいはBピクチャのとき、処理は、ステップS10に進み、ステップS1で求めた算出QSCを変更する処理は省略する。

【0149】ステップS3において、ステップサイズコントローラ81は、記憶されている前画像QSCをQSCメモリ83から読み出す。この記憶されている前画像QSCは、前係数ブロック、すなわち前に処理されたPピクチャあるいはIピクチャにおいて現画像中の現画像ブロックの位置にある画像ブロックから得られるDCT係数のブロックの量子化に用いられるステップサイズを表わすQSCを示すものである。

【0150】ステップサイズS4において、ステップサイズコントローラ81は、ステップS1で求めた算出QSCが、読み出された前画像QSCと同じであるか否かを判定する。結果がYESのとき、処理は、ステップS5に進み、ステップサイズコントローラ81は、ステップS1で求めた算出QSCを変更してパリティ反転を行なう。例えば、ステップサイズのLSBを反転してもよいが、得られるパリティ反転QSCが0のとき、QSCは、1のQSCと逆のパリティを有する許容QSC値である2に設定される。QSCパリティ反転の他の方法は上述の通りである。パリティ反転された算出QSCは、現QSC、すなわち係数ブロックの量子化に用いられるステップサイズを表わすQSCとして用いられる。次に、処理は、ステップS6に進む。

【0151】ステップS4の結果がNOであり、ステップS1で求めた算出QSCが前画像QSCと異なるとき、ステップS1で求めた算出QSCは現QSCとして用いられる。次に、ステップS6に進む。ステップS6において、ステップサイズコントローラ81は、現QSC

とQTを量子化器12に供給する。量子化器12は、ステップサイズコントローラ81により供給された現QSCとQTで表わされるステップサイズを用いて、現係数を量子化する。現係数ブロックの量子化後、量子化器12は、得られた量子化係数ブロックが、量子化DCT係数が全て0であるオールゼロ量子化係数ブロックであるか否かを判定する。オールゼロ量子化係数ブロックのとき、量子化器12は、オールゼロフラグをセットする。

【0152】ステップS7において、ステップサイズコントローラ81は、オールゼロフラグがセットされているか否かを判定する。ステップS7の結果がNOであり、オールゼロフラグがさっとされていないとき、すなわち現量子化係数ブロックの量子化DCT係数のうち少なくとも1つは0でないとき、処理は、ステップS8に進む。ステップS8において、ステップサイズコントローラ81は、ステップS6で量子化器12に供給された現QSCをQSCメモリ83に記憶し、次のPピクチャを処理するときの前画像QSCとして用いる。次に、処理は、ステップS9に進み、終了する。

【0153】一方、ステップS7の結果がYESのとき、オールゼロフラグがセットされ、現量子化係数ブロックがオールゼロ量子化係数ブロックであることがわかる。現画像がPピクチャ（ステップS2の結果がYES）なので、オールゼロ量子化係数ブロックは、現画像ブロックと前画像ブロックに差異がないことを示す。そして、処理は、ステップS9に進み、終了する。これにより、ステップS6で量子化器12に供給された現QSCが、新たな現画像QSCとしてQSCメモリ83に記憶されるのを禁止する。こうして、後係数ブロック、すなわち次のPピクチャにおいて現画像中の現画像ブロックの位置にある画像ブロックから得られるDCT係数のブロックが、変更なしのQSCで表わされるステップサイズで量子化される。

【0154】ステップS2の結果がNOであり、現画像がIピクチャあるいはBピクチャであるとき、処理は、ステップS10に進む。ステップS10において、ステップサイズコントローラ81は、ステップS1で求めた算出QSCを量子化器12に供給する。量子化器12は、ステップサイズコントローラ81から出力された現QSCとQTで表わされるステップサイズを用いて、現係数ブロックを量子化する。次に、処理は、ステップS11に進み、ステップサイズコントローラ81は、現画像がIピクチャであるか否かを判定する。

【0155】ステップS11の結果がYESであり、現画像がIピクチャのとき、処理は、ステップS12に進み、ステップサイズコントローラ81は、ステップS10で量子化器12に供給された現QSCを、前画像QSCとしてQSCメモリ83に記憶する。現画像がIピクチャのとき、各係数ブロックは、少なくとも1つのノンゼロDCT係数を含む。したがって、現画像がIピクチャ

ャのときは、現画像がPピクチャのときと異なり、QSCを前画像QSCとしてQSCメモリ83に記憶する前に、現量子化係数ブロックがオールゼロ量子化係数ブロックであるか否かを判定する必要がある。Iピクチャから得られる各係数ブロックの量子化に用いられるステップサイズを表わすQSCは、前画像QSCとしてQSCメモリ83に記憶される。次に、処理は、ステップS9に進み、終了する。

【0156】ステップS11の結果がNOであり、現画像がBピクチャのとき、量子化後の処理は行なわず、処理は、ステップS9に進み、終了する。つぎに、ステップサイズコントローラ81のハードウェア構成を、図9を参照して説明する。図9に示すステップサイズコントローラ81において、図3のステップサイズコントローラ51の構成要素に対応するものについては同一符号を付し、説明は省略する。ステップサイズコントローラ81は、量子化器12に供給されるQSCを出力するステップサイズ算出器61及びステップサイズモディファイア85と、QSCメモリ83に対する前画像QSCパリティの読み出し/書き込みを制御する読出/書込信号発生器67及びアドレス発生器69とを備えている。

【0157】DCT回路11が、現画像ブロック（Iピクチャの場合）を、あるいは現画像ブロックから得られる差分ブロック（Pピクチャ又はBピクチャの場合）を直交変換し、得られるDCT係数ブロック（現係数ブロック）が量子化器12に供給されると、ステップサイズ算出器61は、出力バッファ19からバッファ使用情報が供給され、このバッファ使用情報に応じて、現係数ブロックの量子化のためのステップサイズを算出する。ステップサイズ算出器61により得られた算出ステップサイズは、MPEGで許容されるステップサイズ値に制限されており、算出された量子化スケールコード（QSC）とqスケールタイプ（QT）で表わされる。ステップサイズ算出器61は、算出QSCとQTをステップサイズモディファイア85に供給する。ステップサイズモディファイア85は、QTを変更せずに量子化器12に供給する。

【0158】また、各画像の始めにおいて、ステップサイズコントローラ81には、メモリコントローラ3からピクチャタイプコードが供給される。このピクチャタイプコードは、現画像がIピクチャ、Pピクチャ、Bピクチャのいずれであるかを示すものである。ピクチャタイプコードは、読出/書込信号発生器67とステップサイズモディファイア85に供給される。

【0159】現画像がPピクチャであることを示すピクチャタイプコードに応じて、読出/書込信号発生器67は、リードイネーブルモードの読出/書込信号をQSCメモリ83に供給する。上述のように、このリードイネーブル信号とアドレス発生器69からのメモリアドレスに応じて、QSCメモリ83は、前画像ブロック、すな

わち前に処理されたIピクチャあるいはPピクチャにおいて現画像中の現画像ブロックの位置にある画像ブロックに対する、前画像QSCをステップサイズモディファイア85に供給する。

【0160】ピクチャタイプコードが、現画像がIピクチャあるいはPピクチャであることを示すとき、ステップサイズモディファイア85は、ステップサイズ算出器61で求めた算出QSCを変更せずに、現QSCとして出力する。一方、ピクチャタイプコードが、現画像がPピクチャであることを示すとき、ステップサイズモディファイア85は、ステップサイズ算出器61で求めた算出QSCを変更し、現QSCを出力する。

【0161】ピクチャタイプコードが、現画像がPピクチャであることを示すとき、ステップサイズモディファイア85は、QSCメモリ83から得られた前画像QSCパリティと、ステップサイズ算出器61で求めた算出QSCのパリティとを比較する。このとき、算出QSCのパリティが前画像QSCパリティと等しいとき、ステップサイズモディファイア85は、ステップサイズ算出器61で求めた算出QSCのパリティを反転し、現QSCを出力する。QSCのパリティを反転するために、ステップサイズモディファイア85は、上述の表2に示すように算出QSCのLSBを反転するようにしてもよい。しかし、得られるパリティ反転QSCの値が0のとき、ステップサイズモディファイア85は、QSCの値を2に設定してパリティを反転する。これにより、禁止された0のQSC値を回避することができる。他のQSCパリティ反転方法を、以下に説明する。

【0162】ステップサイズモディファイア85は、現QSC及びQTを量子化器12に供給する。量子化器12は、ステップサイズモディファイア85からの現QSCとQTで表わされるステップサイズを用いて現係数ブロックを量子化する。この現係数ブロックの量子化後、量子化器12は、得られた量子化係数ブロックが、量子化係数ブロックの量子化DCT係数が全て0であるオールゼロ量子化係数ブロックであるか否かを判定する。オールゼロ量子化係数ブロックであるとき、量子化器12はオールゼロフラグをセットする。

【0163】また、ステップサイズモディファイア85は、現QSCをQSCメモリ83に供給する。QSCメモリ83には、上述のように、アドレス発生器69から現画像ブロックのアドレスに対応するメモリアドレスが供給される。しかし、現QSCは、QSCメモリ83に読出/書込信号発生器67からのライトイネーブルモードの読出/書込信号が供給されるときのみ、QSCメモリ83においてアドレス発生器69からのメモリアドレスにより示されるアドレスに書き込まれる。

【0164】読出/書込信号発生器67は、ピクチャタイプコードとオールゼロフラグをモニタし、ライトイネーブルモードの読出/書込信号をQSCメモリ83に供

給するか否かを判定する。現画像がBピクチャであることを示すピクチャタイプコードにより、読出/書込信号発生器67が、ライトイネーブル信号をQSCメモリ83に供給することが禁止される。したがって、Bピクチャに関するQSCパリティが、QSCメモリ83に記憶されることはない。ピクチャタイプコードが、現画像がIピクチャであることを示すとき、読出/書込信号発生器67は、画像の各画像ブロックに対するライトイネーブル信号をQSCメモリ83に供給する。ピクチャタイプコードが、現画像がPピクチャであることを示すとき、読出/書込信号発生器67は、少なくとも1つのノンゼロ量子化DCT係数を含む量子化係数ブロックが得られる画像の画像ブロックに対するライトイネーブル信号を、QSCメモリ83に供給する。

【0165】ライトイネーブルモードの読出/書込信号により、QSCメモリ83は、アドレス発生器69からのアドレスで示されるメモリアドレスに、ステップサイズモディファイア85からの現QSCを記憶する。QSCメモリ83に記憶されたQSCは、次のPピクチャを処理されるときの前画像QSCとして用いられる。

【0166】ピクチャタイプコードが、現画像がPピクチャであることを示すとき、読出/書込信号発生器67は、オールゼロフラグの状態を判定する。オールゼロフラグがセットされてなく、現量子化係数ブロックが少なくとも1つのノンゼロ量子化DCT係数を含むとき、読出/書込信号発生器67は、ライトイネーブルモードの読出/書込信号をQSCメモリ83に供給する。

【0167】オールゼロフラグがセットされ、現量子化係数ブロックがオールゼロ量子化係数ブロックであるとき、読出/書込信号発生器67は、ライトイネーブルモードの読出/書込信号をQSCメモリ83に供給することが禁止される。したがって、オールゼロフラグがセットされると、現係数ブロックを量子化するステップサイズを表わすQSCは、QSCメモリ83に既に記憶されている前画像ブロックのQSCに上書きするようにして、QSCメモリ83に書き込まれることはない。これにより、量子化器12に供給されたQSCが、前画像QSCとしてQSCメモリ83に記憶されることが禁止される。したがって、後画像ブロックから得られるDCT係数ブロックは、変更なしのQSCのパリティで量子化される。

【0168】ステップサイズモディファイア85の具体的な構成を、図10に示す。図10に示すステップサイズモディファイア85において、図4のステップサイズモディファイア63の構成要素と同じものについては、同一符号を付し、説明を省略する。ステップサイズモディファイア85は、主として、パリティインバータ66と、ゼロ防止回路80との2つの部分からなる。パリティインバータ66は、インバータ71と、比較器87と、ANDゲート89と、セレクト62とからなる。セ

レクタ62は、インバータ73と、ANDゲート75、77と、ORゲート79とからなる。ステップサイズモディファイア85において、パリティインバータ66は、QSCメモリ83から前画像QSCが供給され、比較器87の一方の入力端に供給する。また、ステップサイズモディファイア85は、ステップサイズ算出器61で求められた算出QSCが供給され、比較器87の他方の入力端に供給する。算出QSCのLSBは、セレクト62の入力端Bにも供給され、インバータ71を介して、セレクト62の入力端Aに供給される。さらに、ステップサイズモディファイア85は、メモリコントローラ3(図7)からのピクチャタイプコードの要素として、コードエレメントPピクチャが供給され、ANDゲート89の一方の入力端に供給する。比較器87の出力は、セレクト62の制御入力端Cに供給される。比較器87の出力は、ステップサイズ算出器61で求めた算出QSCと前画像QSCが等しいときにのみ、1の状態となり、それ以外の場合は0状態となる。

【0169】パリティインバータ66の出力は、ゼロ防止回路80に供給される。ゼロ防止回路80は、0のパリティ反転QSCを2に設定し、ステップサイズモディファイア85が非許容QSC値を出力するのを防止する。コードエレメントPピクチャが0の状態であり、現画像がIピクチャあるいはBピクチャのとき、ANDゲート89は、セレクト62の制御入力Cを0状態に保持する。制御入力Cが0状態のとき、算出QSCのLSBは変化せずにセレクト62の出力端Oに供給される。算出QSCのLSBは、ANDゲート77とORゲート79を介して出力端Oに供給される。

【0170】コードエレメントPピクチャが1の状態であり、現画像がPピクチャのとき、ANDゲート89の出力状態及びセレクト62の制御入力Cの状態は、比較器87の出力に応じて変化する。ステップサイズ算出器61で求めた算出QSCが前画像QSCと異なるとき、算出QSCのパリティを変更してはならず、比較器87とANDゲート89の出力は0状態である。これにより、セレクト62は、算出QSCのLSBを、ステップサイズのLSBとして変更せずに出力端Oに接続する。算出QSCのLSBは、ANDゲート77とORゲート79を介して出力端Oに供給される。一方、ステップサイズ算出器61で求めた算出QSCが前画像QSCと等しく、算出QSCのパリティを反転する必要があるとき、比較器87とANDゲート89の出力は1の状態にある。これにより、セレクト62は、インバータ71により反転された算出QSCのLSBを、出力端Oに接続し、QSC LSBを出力する。算出QSCのLSBは、ANDゲート75とORゲート79を介して出力端Oに接続される。セレクト62の出力であるQSCのLSBは、算出QSCの残りのビットと再結合されて、QSCを出力する。ここで、ステップサイズモディファイア8

5の論理演算を表4に示す。

【0171】

*

表4

前画像の QSC	算出QSC	Pb'が1	算出QSCの LSBへの処理
x	x	1	反転
x	not x	1	変更なし
x	x	0	変更なし
x	not x	0	変更なし

【0172】上述のバリティインバータ66は、許容QSC値ではない0のQSC値を出力する可能性がある。したがって、バリティインバータ66からのQSC値は、ゼロ防止回路80で更に処理される。このゼロ防止回路80は、0のQSC値が出力されたとき、QSC値を2に設定する。ゼロ防止回路80での処理は、図4で説明したのと同様であるので、ここでは説明を省略する。

【0173】また、算出QSCのバリティは、上述の図5で説明したように、ルックアップテーブルを用いて反転してもよく、図5、6で説明したように、算出QSCに1を加算（32のときは特殊処理）するか、あるいは算出QSCから1を引算（0のときは特殊処理）することにより反転してもよい。また、図5、6に示すステップサイズモディファイア85において、制御回路109を、比較器87と、ANDゲート89とからなる選択制御回路で置き換えてもよい。

【0174】ここで、図1に示す動画像信号圧縮装置の他の実施例を図11に示す。図11に示す動画像信号圧縮装置において、図1の動画像信号圧縮装置の構成要素に対応するものについては、同一符号を付し、説明は割愛する。この図11に示す動画像信号圧縮装置は、ステップサイズコントローラ91と、量子化係数ブロックメモリ93とを備えている。ANDゲート95は、量子化器12と可変長符号化器17の間に設けられている。ANDゲート95は、ステップサイズコントローラ91に制御され、量子化が終了すると、量子化器12からの量子化DCT係数の各ブロックを、可変長符号化器17と局部復号化器10に出力する。また、ANDゲート95を設けず、ステップサイズコントローラ91からのリリース信号により、量子化器12が量子化終了まで量子化係数ブロックを可変長符号化器17と局部復号化器10に供給しないように、直接、量子化器12を制御してもよい。

【0175】ステップサイズコントローラ91は、例えば図12に示すフローチャートに従って動作するデジタルシグナルプロセッサあるいはコンピュータからなる。図12に示すフローチャートのステップS1において、ステップサイズコントローラ91は、上述のように、例えば出力バッファ19の使用状況を示すデータに

*【表4】

応じて、現係数ブロック、すなわち現画像の現画像ブロックから得られるDCT係数ブロックを量子化するためのステップサイズを算出する。算出されたステップサイズは、MPEGで許容されるステップサイズ値に制限され、算出量子化スケールコード（算出QSC）とqスケールタイプ（QT）で表わされる。

【0176】ステップS2において、ステップサイズコントローラ91は、ステップS1で求めた算出QSCとQTを量子化器12に供給する。量子化器12は、算出QSCとQTで表わされるステップサイズを用いて、現係数ブロックを量子化する。量子化器12は、得られた量子化係数ブロックをステップサイズコントローラ91に供給する。現係数ブロックの量子化後、量子化器12は、得られた量子化係数ブロックが、量子化DCT係数が全て0であるオールゼロ量子化係数ブロックであるかを判定する。オールゼロ量子化係数ブロックのとき、量子化器12は、オールゼロフラグをセットする。

【0177】ステップS3において、ステップサイズコントローラ91は、現画像がPピクチャであるかを判定する。ステップS3の結果がYESであり、現画像がPピクチャのとき、処理は、ステップS4に進み、ステップS1で求めた算出QSC及びステップサイズを必要に応じて変更する処理を開始する。ステップS3の結果がNOであり、現画像がIピクチャあるいはBピクチャのとき、処理は、ステップS12に進み、ステップS1で求めた算出QSCを変更する処理は省略する。

【0178】ステップS4において、ステップサイズコントローラ91は、記憶されている前画像量子化係数ブロックを量子化係数ブロックメモリ93から読み出す。この記憶されている前画像量子化係数ブロックは、前係数ブロック、すなわち前に処理されたPピクチャあるいはIピクチャにおいて現画像中の現画像ブロックの位置にある画像ブロックから得られる量子化DCT係数のブロックである。

【0179】ステップサイズS5において、ステップサイズコントローラ91は、現量子化係数ブロックと前画像量子化係数ブロックのそれぞれの6×64個のDCT係数に対して、係数毎の比較を行ない、量子化器12から得られた現量子化係数ブロックが、量子化係数ブロックメモリ93から読み出された前画像量子化係数ブロック

と同一であるか否かを判定する。この結果がNOのとき、算出QSCで表わされるステップサイズは現係数ブロックの量子化に適している。そして、処理は、ステップS8に進む。結果がYESのとき、処理は、ステップS6に進み、ステップサイズコントローラ91は、パリティ反転を行なうことにより、ステップS1で求めた算出QSCを変更して、ステップサイズを出力する。例えば、ステップS1で求めたステップサイズのLSBを反転して、パリティ反転を行なってもよい。表2に示すように、QSCのLSBを反転してもよい。得られるQSCが0のとき、QSCは、1のQSCと逆のパリティを有する許容QSC値である2に設定される。QSCパリティ反転の他の方法を以下に説明する。パリティ反転された算出QSCは、QSCとして用いられる。次に、処理は、ステップS7に進む。

【0180】ステップS7において、ステップサイズコントローラ91は、ステップS6で求めたQSCとQTを量子化器12に供給する。量子化器12は、ステップサイズコントローラ91により供給されたQSCとQTとを用いて、現係数ブロックを再量子化する。現係数ブロックの再量子化後、量子化器12は、得られた量子化係数ブロックがオールゼロ量子化係数ブロックであるか否かを判定する。オールゼロ量子化係数ブロックのとき、量子化器12は、オールゼロフラグをセットする。

【0181】ステップS8において、ステップサイズコントローラ91は、オールゼロフラグがセットされているか否かを判定する。ステップS8の結果がNOであり、オールゼロフラグがセットされていないとき、すなわち現量子化係数ブロックの量子化DCT係数のうち少なくとも1つは0でないとき、処理は、ステップS9に進む。ステップS9において、ステップサイズコントローラ91は、ステップS2、あるいは量子化器12がステップS7で現係数ブロックを再量子化したときはステップS7で量子化器12より出力された量子化係数ブロックを記憶する。この量子化係数ブロックは、量子化係数ブロックメモリ93に記憶され、次のPピクチャを処理するときの前画像量子化係数ブロックとして用いられる。次に、処理は、ステップS10に進み、ステップS2あるいはステップS7で量子化器12により出力された現量子化係数ブロックは、可変長符号化器17と局部復号化器10に供給される。ここで、処理は、ステップS11に進み、終了する。

【0182】一方、ステップS8の結果がYESのとき、オールゼロフラグがセットされ、現量子化係数ブロックがオールゼロ量子化係数ブロックであることがわかる。現画像がPピクチャ（ステップS3の結果がYES）なので、オールゼロ量子化係数ブロックは、現画像ブロックと前画像ブロック、すなわち前に処理されたIピクチャあるいはPピクチャにおいて現画像中の現画像ブロックの位置にある画像ブロックとの間に差異がない

ことを示す。このとき、処理は、上述のようにステップS10に進む。ここでは、ステップS2あるいはステップS7で量子化器12により出力された現量子化係数ブロックを、新たな前画像量子化係数ブロックとして量子化係数ブロックメモリ93に記憶する工程が省略される。これにより、現量子化係数ブロックが、量子化係数ブロックメモリ93内に既に記憶されている前量子化係数ブロックに上書きするのを防止する。その結果、後係数ブロック、すなわち次のPピクチャにおいて現画像中の現画像ブロックの位置にある画像ブロックである後画像ブロックから得られるDCT係数ブロックが、変更なしのステップサイズで量子化される。

【0183】ステップS3の結果がNOであり、現画像がIピクチャあるいはBピクチャであるとき、処理は、ステップS12に進む。ステップS12において、ステップサイズコントローラ91は、現画像がIピクチャであるか否かを判定する。ステップS12の結果がYESであり、現画像がIピクチャのとき、処理は、ステップS9に進み、ステップサイズコントローラ91は、ステップS2、あるいは量子化器12がステップS7で現係数ブロックを再量子化したときはステップS7で量子化器12により出力された現量子化係数ブロックを記憶する。この現量子化係数ブロックは、前画像量子化係数ブロックとして、量子化係数ブロックメモリ93に記憶される。現画像がIピクチャのとき、各量子化係数ブロックは、少なくとも1つのノンゼロDCT係数を含む。したがって、現画像がIピクチャのときは、現画像がPピクチャのときと異なり、現量子化係数ブロックを前画像量子化係数ブロックとして量子化係数ブロックメモリ93に記憶する前に、現量子化係数ブロックがオールゼロ量子化係数ブロックであるか否かを判定する必要がない。Iピクチャから得られる各量子化係数ブロックは、前画像量子化係数ブロックとして量子化係数ブロックメモリ93に記憶される。次に、処理は、上述のようにステップS10、S11に進み、終了する。

【0184】ステップS12の結果がNOであり、現画像がBピクチャのとき、量子化後の処理は行わず、処理は、上述のようにステップS10、S11に進み、終了する。つぎに、ステップサイズコントローラ91のハードウェア構成を、図13を参照して説明する。図13に示すステップサイズコントローラ91において、図3のステップサイズコントローラ51の構成要素に対応するものについては同一符号を付し、説明は省略する。ステップサイズコントローラ91は、量子化器12に供給されるステップサイズを出力するステップサイズ算出器61及びステップサイズモディファイア97と、前画像量子化係数ブロックの量子化係数ブロックメモリ93に対する読み出し／書き込みを制御する読出／書込信号発生器67及びアドレス発生器69とを備えている。

【0185】DCT回路11が、現画像ブロック（Iピ

クチャの場合)を、あるいは現画像ブロックから得られる差分ブロック(Pピクチャ又はBピクチャの場合)を直交変換し、得られるDCT係数ブロックが現係数ブロックとして量子化器12に供給されると、ステップサイズ算出器61は、出力バッファ19からバッファ使用情報が供給され、このバッファ使用情報に応じて、現係数ブロックの量子化のためのステップサイズを算出する。ステップサイズ算出器61により得られた算出ステップサイズは、MPEG規格で許容されるステップサイズ値に制限されており、算出された量子化スケールコード

(QSC)とqスケールタイプ(QT)で表わされる。ステップサイズ算出器61は、算出QSCとQTをステップサイズモディファイア97に供給する。ステップサイズモディファイア97は、QTを変更せずに量子化器12に供給する。

【0186】また、各画像の始めにおいて、ステップサイズコントローラ91には、メモリコントローラ3からピクチャタイプコードが供給される。このピクチャタイプコードは、現画像がIピクチャ、Pピクチャ、Bピクチャのいずれであるかを示すものである。ピクチャタイプコードは、読出/書込信号発生器67とステップサイズモディファイア97に供給される。

【0187】現画像がPピクチャであることを示すピクチャタイプコードに応じて、読出/書込信号発生器67は、リードイネーブルモードの読出/書込信号を量子係数ブロックメモリ93に供給する。上述のように、このリードイネーブル信号とアドレス発生器69からのメモリアドレスに応じて、量子化係数ブロックメモリ93は、前画像量子化係数ブロック、すなわち前に処理されたIピクチャあるいはPピクチャにおいて現画像中の現

画像ブロックの位置にある画像ブロックである前画像ブロックから得られる量子化DCT係数ブロックを、ステップサイズモディファイア97に供給する。

【0188】また、ステップサイズモディファイア97は、ピクチャタイプコードに応じて動作する。ピクチャタイプコードが、現画像がIピクチャあるいはPピクチャであることを示すとき、ステップサイズモディファイア97は、ステップサイズ算出器61で求めた算出QSCを変更せずに、その算出QSCをステップサイズとして出力する。また、ピクチャタイプコードが、現画像がIピクチャあるいはBピクチャであることを示すとき、ステップサイズモディファイア97は、リリース制御信号を発生させる。このリリース制御信号により、ANDゲート95が開き、量子化器12により出力された量子化係数ブロックを、可変長符号化器17と局部復号化器10に供給する。

【0189】一方、ピクチャタイプコードが、現画像がPピクチャであることを示すとき、ステップサイズモディファイア97はイネーブル状態となり、ステップサイズ算出器61で求めた算出QSCを必要に応じて変更す

ることができる。また、ピクチャタイプコードが、現画像がPピクチャであることを示すとき、ステップサイズモディファイア97は、始めはリリース制御信号を発生させない。ステップサイズモディファイア97が、量子化器12により出力された量子化係数ブロックが量子化係数ブロックメモリ93からの量子化係数ブロックと同一でないと判定するまでは、ANDゲート95は閉じたままである。

【0190】ステップサイズモディファイア97は、ステップサイズ算出器61で求めた算出QSCを量子化器12に供給する。量子化器12は、ステップサイズモディファイア97からの算出QSCとQTで表わされるステップサイズを用いて、現係数ブロックを量子化する。量子化器12から得られる量子化係数ブロックは、ステップサイズモディファイア97に供給され、始めは閉じていたANDゲート95にも供給される。現係数ブロックの量子化後、量子化器12は、得られる量子化係数ブロックが量子化DCT係数が全て0であるオールゼロ量子化係数ブロックであるか否かを判定する。オールゼロ量子化係数ブロックであるとき、量子化器12はオールゼロフラグをセットする。

【0191】ピクチャタイプコードが、現画像がPピクチャであることを示すとき、ステップサイズモディファイア97は、量子化係数ブロックメモリ93からの前画像量子化係数ブロックと、量子化器12からの現量子化係数ブロックとを比較する。ステップサイズモディファイア97が、量子化器12からの現量子化係数ブロックが量子化係数ブロックメモリ93からの前画像量子化係数ブロックと異なると判定したとき、リリース制御信号をANDゲート95に供給する。これによりANDゲート95が開き、量子化器12は、量子化係数ブロックを可変長符号化器17と局部復号化器10に供給することができる。

【0192】一方、ステップサイズモディファイア97が、量子化器12からの量子化係数ブロックを量子化係数ブロックメモリ93からの前画像量子化係数ブロックと同一であると判定したとき、ステップサイズモディファイア97は、ステップサイズ算出器61で求めた算出QSCのバリティを反転して、変更ステップサイズを出力する。これは、後述の表5に示すように、ステップサイズモディファイア97が、算出QSCのLSBを反転することにより行なわれる。しかし、得られるバリティ反転QSCの値が0のとき、ステップサイズモディファイア97は、QSC値を2に設定してバリティ反転を行なう。これにより、禁止QSC値の0を回避することができる。他のQSCバリティ反転方法は、上述の通りである。

【0193】算出QSCのバリティを変化させなければならぬとき、ステップサイズモディファイア97は、リリース制御信号の発生を遅延させる。これにより、A

10

20

30

40

50

NDゲート95は閉じたままになり、量子化器12から始めに得られた不正確量子化係数ブロックが、可変長符号化器17や局部復号化器10に供給されるのを防止することができる。

【0194】その後、ステップサイズモディファイア97は、QSCとQTを量子化器12に供給し、量子化器12は、ステップサイズモディファイア97からのQSCとQTで表わされるステップサイズを用いて、現係数ブロックのDCT係数を再量子化する。量子化器12からの量子化係数ブロックは、ステップサイズモディファイア97に供給され、閉じたままのANDゲート95にも供給される。現係数ブロックの再量子化後、量子化器12は、現量子化係数ブロックがオールゼロ量子化係数ブロックであるか否かを判定する。オールゼロ量子化係数ブロックのとき、量子化器12はオールゼロフラグをセットする。

【0195】量子化器12からステップサイズモディファイア97に供給された量子化係数ブロックは、量子化係数ブロックメモリ93からの前画像量子化係数ブロックとは異なる。したがって、ステップサイズモディファイア97は、リリース制御信号を発生し、これにより、ANDゲート95が開き、量子化器12は、量子化係数ブロックを可変長符号化器17と局部復号化器10に供給することができる。

【0196】量子化器12からの量子化係数ブロックは、量子化係数ブロックメモリ93にも供給される。また、量子化係数ブロックメモリ93には、上述のように、アドレス発生器69から現画像ブロックのアドレスに対応するメモリアドレスが供給される。しかし、量子化係数ブロックメモリ93に読出／書込信号発生器67からのライトイネーブルモードの読出／書込信号が供給されるときのみ、量子化係数ブロックは、量子化係数ブロックメモリ93においてアドレス発生器69からのメモリアドレスにより示されるアドレスに書き込まれる。

【0197】読出／書込信号発生器67は、ピクチャタイプコードとオールゼロフラグをモニタし、ライトイネーブルモードの読出／書込信号を量子化係数ブロックメモリ93に供給するか否かを判定する。現画像がBピクチャであることを示すピクチャタイプコードにより、読出／書込信号発生器67が、ライトイネーブル信号を量子化係数ブロックメモリ93に供給することが禁止される。したがって、Bピクチャから得られる量子化DCT係数のブロックが、量子化係数ブロックメモリ93に記憶されることはない。ピクチャタイプコードが、現画像がIピクチャであることを示すとき、読出／書込信号発生器67は、画像の各画像ブロックに対するライトイネーブルモードの読出／書込信号を量子化係数ブロックメモリ93に供給する。ピクチャタイプコードが、現画像がPピクチャであることを示すとき、読出／書込信号発生器67は、少なくとも1つのノンゼロ量子化DCT係

数を含む量子化係数ブロックが得られる画像の画像ブロックに対するライトイネーブル信号を、量子化係数ブロックメモリ93に供給する。

【0198】ライトイネーブルモードの読出／書込信号により、量子化係数ブロックメモリ93は、アドレス発生器69からのアドレスで示されるメモリアドレスに、量子化器12からの量子化係数ブロックを記憶する。量子化係数ブロックメモリ93に記憶された量子化係数ブロックは、次のPピクチャを処理するときの前画像量子化係数ブロックとして用いられる。

【0199】ピクチャタイプコードが、現画像がPピクチャであることを示すとき、読出／書込信号発生器67は、オールゼロフラグの状態を判定する。オールゼロフラグがセットされてなく、現量子化係数ブロックが少なくとも1つのノンゼロ量子化DCT係数を含むとき、読出／書込信号発生器67は、ライトイネーブルモードの読出／書込信号を量子化係数ブロックメモリ93に供給する。

【0200】オールゼロフラグがセットされ、現量子化係数ブロックがオールゼロ量子化係数ブロックであるとき、読出／書込信号発生器67は、ライトイネーブルモードの読出／書込信号を量子化係数ブロックメモリ93に供給することが禁止される。したがって、オールゼロフラグがセットされると、量子化係数ブロックは、量子化係数ブロックメモリ93に既に記憶されている前画像量子化係数ブロックに上書きするようにして、量子化係数ブロックメモリ93に書き込まれることはない。これにより、量子化器12からの量子化係数ブロックが、前画像量子化係数ブロックとして量子化係数ブロックメモリ93に記憶されることが禁止される。したがって、後画像ブロックから得られる係数ブロック、すなわち次のPピクチャにおいて現画像中の現画像ブロックの位置にある画像ブロックが、変更のないステップサイズで量子化される。

【0201】ステップサイズモディファイア97の具体例を、図14のブロックに示す。図14に示すステップサイズモディファイア97において、図10のステップサイズモディファイア85の構成要素と同じものについては、同一符号を付し、説明を省略する。ステップサイズモディファイア97は、主として、バリティインバータ64と、ゼロ防止回路80との2つの部分からなる。バリティインバータ64は、インバータ71と、ブロック比較器99と、ANDゲート89と、セクタ62とからなる。セクタ62は、インバータ71と、ANDゲート75、77と、ORゲート79とからなる。

【0202】ステップサイズモディファイア97において、バリティインバータ64は、量子化係数ブロックメモリ93から前画像量子化係数ブロックが供給され、ブロック比較器99の一方の入力端に供給する。また、バリティインバータ64は、量子化器12から現量子化係

数ブロックが供給され、ブロック比較器99の他方の入力端に供給する。算出QSCのLSBは、セクタ62の入力端Bにも供給され、インバータ71を介して、セクタ62の入力端Aにも供給される。さらに、パリティインバータ64は、メモリコントローラ3(図11)からのピクチャタイプコードの要素として、コードエレメントPピクチャ1が供給され、ANDゲート89の一方の入力端に供給する。ブロック比較器99の出力は、ANDゲート89の他方の入力端に供給される。セクタ62の出力端Oは、QSCのLSBを出力する。ANDゲート89の出力は、セクタ62の制御入力端に供給され、インバータ73を介して、リリース制御信号としてANDゲート95(図11)に供給される。

【0203】ブロック比較器99は、量子化器12からの量子化係数ブロックと、量子化係数ブロックメモリ93からの前画像量子化係数ブロックとの係数毎の比較を行なう。量子化係数ブロックの量子化DCT係数が前画像量子化係数ブロックの各量子化DCT係数と同一であるときのみ、ブロック比較器99の出力は1の状態にある。それ以外るとき、0状態にある。

【0204】コードエレメントPピクチャが0の状態であり、現画像がIピクチャあるいはBピクチャのとき、ANDゲート89は、セクタ62の制御入力Cを0状態に保持する。制御入力Cが0状態のとき、算出QSCのLSBは変化せずに、ANDゲート77とORゲート79を介して、セクタ62の出力端Oに供給され、QSCのLSBを出力する。インバータ73により反転されたANDゲート89の出力は、リリース制御信号をANDゲート95に供給し、これによりANDゲート95が開いたままの状態になる。こうして、量子化器12からの量子化係数ブロックを、可変長符号化器17と局部復号化器10に供給することが可能になる。

【0205】コードエレメントPピクチャが1の状態です

表5

量子化係数 ブロック	前画像量子化 係数ブロック	Pピクチャ	算出QSCの LSBへの処理
F0.0-F7.7	同	1	反転
F0.0-F7.7	異	1	変更なし
F0.0-F7.7	同	0	変更なし
F0.0-F7.7	異	0	変更なし

【0208】上述のパリティインバータ64は、非許容QSC値である0のQSC値を出力する可能性がある。したがって、パリティインバータ64からのQSC値は、ゼロ防止回路80で更に処理され、このゼロ防止回路80は、パリティインバータ64が0のQSC値を出力したとき、QSC値を2に設定する。ゼロ防止回路80での処理は、図4で説明したのと同様であるので、こ

*あり、現画像がPピクチャのとき、ANDゲート89の出力状態及びセクタ62の制御入力Cとリリース制御信号の状態は、ブロック比較器99の出力に応じて変化する。量子化器12からの量子化係数ブロックが量子化係数ブロックメモリ93からの前画像量子化係数ブロックと異なるとき、算出QSCのパリティを変更してはならず、ブロック比較器99の出力は0状態である。したがって、ANDゲート89の出力は0状態となり、インバータ73の出力は1状態となる。これにより、セクタ62は、算出QSCのLSBを変更せずに、ANDゲート77とORゲート79を介して出力端Oに接続する。出力端Oは、QSCのLSBを出力する。インバータ73の出力は、1状態のリリース制御信号を出力し、これによりANDゲート95が開く。

【0206】一方、量子化器12からの量子化係数ブロックが量子化係数ブロックメモリ93からの前画像量子化係数ブロック、算出QSCのパリティを反転する必要がある。ブロック比較器99の出力は1状態であり、ANDゲート89の出力を1状態に設定し、インバータ73の出力を0に設定する。これにより、セクタ62は、インバータ71により反転された算出QSCのLSBを、ANDゲート75とORゲート79を介して出力端Oに接続する。セクタ62の出力からの算出QSCの反転されたLSBは、算出QSCの残りのビットと再結合される。インバータ73の出力端は、0状態のリリース制御信号を出力する。これにより、ANDゲート95は、現係数ブロックはステップサイズで再量子化されるまで、閉じた状態となり、得られる量子化係数ブロックは、前画像量子化係数ブロックとは異なるものとなる。ここで、ステップサイズモディファイア97の1より大きい算出QSCに対する論理演算を表5に示す。

【0207】

【表5】

ここでは説明を省略する。

【0209】また、算出QSCのパリティは、上述の図5で説明したように、ルックアップテーブルを用いて反転してもよく、図5、6で説明したように、算出QSCに1を加算(32のときは特殊処理)するか、あるいは算出QSCから1を引算(0のときは特殊処理)することにより反転してもよい。また、図5、6に示すステッ

71

ブサイズモディファイア85において、制御回路109を、ブロック比較器99と、ANDゲート89とからなる選択制御回路で置き換えてもよい。

【0210】上述の動画画像信号圧縮装置において、ステップサイズは、MPEG規格により規定された量子化スケールコード(QSC)とqスケールタイプ(QT)で表わされる。図15に、MPEG圧縮器と同様の構造を有する動画画像信号圧縮装置を示す。この動画画像信号圧縮装置では、ステップサイズコントローラがステップサイズを量子化器に供給するが、このステップサイズは、MPEG規格に準拠した許容値に限定されない。図15に示す動画画像信号圧縮装置において、連続した係数ブロック、すなわち連続処理されるPピクチャあるいはIピクチャの後のPピクチャにおいて同じ位置の画像信号から得られる係数ブロックを、異なるステップサイズを用いて量子化することにより、反復性があるタイプ1の誤差を防止することができる。ステップサイズの変化は、ステップサイズパリティを変更することにより最大限に行なわれる。量子化されたときにオールゼロ量子化係数を生じる係数ブロックの後の係数ブロックを量子化するの20に用いられるステップサイズは、変更されない。

【0211】図15の動画画像信号圧縮装置において、図1の動画画像信号圧縮装置の構成要素に対応するものについては、同一符号を付し、説明は割愛する。図1の動画画像信号圧縮装置の構成要素と同様のものについては、同一符号にAを付加したものを付し、説明は割愛する。この図15に示す動画画像信号圧縮装置は、ステップサイズコントローラ51Aと、ステップサイズパリティメモリ53Aと、量子化器12Aとを備えている。

【0212】ステップサイズコントローラ51Aは、例えば図16に示すフローチャートに従って動作するデジタルシグナルプロセッサあるいはコンピュータからなる。図16に示すフローチャートは、図2のフローチャートと同様である。違いを以下に説明する。

【0213】ステップS1において、ステップサイズコントローラ51Aは、現画像の現画像ブロックから得られるDCT係数ブロックの量子化のためのステップサイズを算出する。このステップサイズは、量子化スケールコードとqスケールタイプで表わされるのではない。

【0214】ステップS3において、ステップサイズコントローラ51Aは、前画像ブロック、すなわち前に処理されたPピクチャあるいはIピクチャにおいて、現画像中の現画像ブロックの位置にある画像ブロックを量子化するのに用いられるステップサイズのパリティを示す前画像パリティを、ステップサイズパリティメモリ53Aから読み出す。

【0215】ステップS4において、ステップサイズコントローラ51Aは、ステップS1で求めた算出ステップサイズのパリティが、この前画像パリティと等しいか否かを判定する。結果がYESのとき、処理は、ステップ

72

S5に進み、ステップサイズコントローラ51Aは、ステップS1で求めた算出ステップサイズを変更して、パリティ反転を行なう。例えば、表6に示す条件に従って、ステップサイズのLSBを反転してもよい。しかし、ステップサイズのLSBを反転することにより0のステップサイズが生じたとき、ステップサイズを1のステップサイズの逆パリティを有する2に設定する。LSB反転された算出ステップサイズは、ステップサイズとして用いられ、処理は、ステップS6に進む。

【0216】

【表6】

表6

前画像の パリティ	算出ステップサイズの LSB (算出ステップサイズ>1)	ステップサイズの LSB
0	0	1
0	1	1
1	0	0
1	1	0

【0217】なお、ステップS4は省略してもよく、ステップS5において、前画像パリティを反転し、ステップサイズS1で求めた算出ステップサイズのLSBの代わりに用いてもよい。LSBを反転前画像パリティで置換した算出ステップサイズは、ステップサイズとして用いられる。次に、処理は、ステップS6に進む。

【0218】ステップS4の結果がNOであり、ステップS1で求めたステップサイズのパリティが前画像パリティと異なるとき、処理は、ステップS6に進み、ステップS1で求めた算出ステップサイズがステップサイズとして用いられる。ステップS6において、ステップサイズコントローラ51Aは、ステップサイズを量子化器12Aに供給する。量子化器12Aは、ステップサイズコントローラ51Aにより出力されたステップサイズを用いて、現係数ブロックを量子化し、得られる量子化係数ブロックがオールゼロ量子化係数ブロックであるか否かを判定する。オールゼロ量子化係数ブロックのとき、量子化器12Aは、オールゼロフラグをセットする。

【0219】ステップS8において、ステップサイズコントローラ51Aは、ステップS6で量子化器12Aに供給されたステップサイズのパリティを算出し、結果をステップサイズパリティメモリ53Aに記憶し、次のPピクチャの処理で前画像パリティとして用いる。

【0220】ステップS10において、ステップサイズコントローラ51Aは、ステップS1で求めたステップサイズを量子化器12Aに供給する。量子化器12Aは、ステップサイズコントローラ51Aからのステップサイズを用いて現係数ブロックを量子化する。

【0221】ステップ12において、ステップサイズコントローラ51Aは、ステップS10で量子化器12Aに供給されたステップサイズのバリティを算出し、得られるステップサイズバリティを前画像バリティとしてステップサイズバリティメモリ53Aに記憶される。

【0222】つぎに、ステップサイズコントローラ51Aのハードウェア構成を、図17を参照して説明する。ステップサイズコントローラ51Aは、量子化器12Aに供給されるステップサイズを出力するステップサイズ算出器61A及びステップサイズモディファイア63Aと、現係数ブロックの量子化に用いられるステップサイズのバリティを算出するバリティ算出器65Aと、前画像バリティのステップサイズバリティメモリ53Aに対する読み出し/書き込みを制御する読出/書込信号発生器67及びアドレス発生器69とを備えている。

【0223】図17に示すステップサイズコントローラ51Aにおいて、図3のステップサイズコントローラ51の構成要素に対応するものについては、同一符号を付し、説明は省略する。また、図3のステップサイズコントローラ51の構成要素と同様のものについては、同一符号にAを付加したものを付して示す。図3のステップサイズコントローラ51との違いのみを以下に説明する。

【0224】ステップサイズ算出器61Aは、出力バッファ19からのバッファ使用情報に応じて、現係数ブロックの量子化に用いられるステップサイズを算出する。ステップサイズ算出器61Aは、算出ステップサイズをステップサイズモディファイア63Aに供給する。

【0225】ピクチャタイプコードが、現画像がPピクチャであることを示すとき、ステップサイズバリティメモリ53Aは、前画像ブロック、すなわち前に処理されたIピクチャあるいはPピクチャにおいて現画像中の現画像ブロックの位置にある画像ブロックに対する前画像バリティを、ステップサイズモディファイア63Aに供給する。

【0226】ピクチャタイプコードが、現画像がPピクチャであることを示すとき、ステップサイズモディファイア63Aは、ステップサイズ算出器61Aで求めた算出QSCを変更し、ステップサイズを出力することができる。例えば、ステップサイズモディファイア63Aは、前画像バリティと算出ステップサイズのバリティを比較してもよい。算出ステップサイズのバリティが前画像バリティと等しいとき、ステップサイズモディファイア63Aは、算出ステップサイズのバリティを反転してステップサイズを出力してもよい。これは、上述の表6

に示すように、ステップサイズモディファイア63Aが、算出ステップサイズのLSBを反転することにより行なわれる。しかし、算出ステップサイズのLSBを反転することにより、0のステップサイズが生じたとき、ステップサイズは2に設定され、0のステップサイズが回避される。

【0227】なお、ステップサイズモディファイア63Aは、ステップサイズバリティメモリ53Aからの前画像バリティを反転してもよい。また、ピクチャタイプコードが、現画像がPピクチャであることを示すとき、ステップサイズモディファイア63Aは、ステップサイズ算出器61Aにより求められた算出ステップサイズのLSBを、反転前画像バリティ情報で置き換えてステップサイズと出力する。ステップサイズ算出器61Aにより求められた算出ステップサイズのLSBを、反転前画像バリティ情報で置き換えることにより、ステップサイズのバリティは、常に前係数ブロックの量子化に用いられるステップサイズのバリティを反転したものとなる。

【0228】ステップサイズモディファイア63Aは、ステップサイズを量子化器12Aに供給し、量子化器12Aは、ステップサイズモディファイア63Aからのステップサイズを用いて現係数ブロックを量子化する。また、ステップサイズモディファイア63Aは、ステップサイズを可変長符号化器17に供給して、圧縮動画像信号に含まれるようにする。次に、ステップサイズモディファイア63Aは、ステップサイズをバリティ算出器65Aに供給し、このバリティ算出器65Aは量子化器12Aに供給されるステップサイズのバリティを算出して、得られたステップサイズバリティをステップサイズバリティメモリ53Aに供給する。ステップサイズバリティメモリ53Aは、図3のQSCメモリ53と同様の処理を行なうので、説明は省略する。

【0229】ステップサイズモディファイア63Aを、図18のブロック図に示す。図18に示すステップサイズモディファイア63Aは、図4のステップサイズモディファイア63の構成や処理と同じであるので、ここでは説明を省略する。また、ステップサイズバリティ63Aを、図5、6に示すステップサイズモディファイア63と同様のものを用いて、変更することもできる。

【0230】ここで、図18のステップサイズモディファイア63Aにおける、1より大きい算出ステップサイズに対する論理演算を表7に示す。

【0231】

【表7】

表7

前画像の パリティ	算出ステップサイズ のLSB	Pピクチャ	ステップサイズ のLSB
0	0	1	1
0	1	1	1
1	0	1	0
1	1	1	0
0	0	0	0
0	1	0	1
1	0	0	0
1	1	0	1

【0232】ここで、図7に示す動画像信号圧縮装置のMPEG規格に準拠しない実施例を図19に示す。図19に示す動画像信号圧縮装置において、図7の動画像信号圧縮装置の構成要素に対応するものについては、同一符号を付し、説明は割愛する。図7の動画像信号圧縮装置の構成要素と同様のものについては、同一符号にAを付加したものを付して表わす。この図19に示す動画像信号圧縮装置は、ステップサイズコントローラ81Aと、ステップサイズメモリ83Aとを備えている。

【0233】ステップサイズコントローラ81Aは、例えば図20に示すフローチャートに従って動作するデジタルシグナルプロセッサあるいはコンピュータからなる。図20に示すフローチャートは、図8のフローチャートと同様である。違いを以下に説明する。

【0234】ステップS1において、ステップサイズコントローラ81Aは、現画像の現画像ブロックから得られるDCT係数ブロックの量子化のためのステップサイズを算出する。このステップサイズは、量子化スケールコードとαスケールタイプで表わされるのではない。

【0235】ステップS3において、ステップサイズコントローラ81Aは、前画像ブロックの量子化に用いられるステップサイズを示す前画像ステップサイズを、ステップサイズメモリ83Aから読み出す。ステップS4において、ステップサイズコントローラ81Aは、ステップS1で求めた算出ステップサイズのが、この前画像ステップサイズと等しいか否かを判定する。結果がYESのとき、処理は、ステップS5に進み、ステップサイズコントローラ81Aは、ステップS1で求めた算出ステップサイズを変更して、パリティ反転を行なう。例えば、ステップサイズのLSBを反転してもよい。しかし、ステップサイズのLSBを反転することにより0のステップサイズが生じたとき、ステップサイズを1のステップサイズの逆パリティを有する2に設定する。LSB反転された算出ステップサイズは、ステップサイズとして用いられ、処理は、ステップS6に進む。

【0236】ステップS4の結果がNOであり、ステップS1で求めた算出ステップサイズが前画像ステップサイズと異なるとき、ステップS1で求めた算出ステップサイズがステップサイズとして用いられ、処理は、ステ

ップS6に進む。ステップS6において、ステップサイズコントローラ81Aは、ステップサイズを量子化器12Aに供給する。量子化器12Aは、ステップサイズコントローラ81Aにより出力されたステップサイズを用いて、現係数ブロックを量子化し、得られる量子化係数ブロックがオールゼロ量子化係数ブロックであるか否かを判定する。オールゼロ量子化係数ブロックのとき、量子化器12Aは、オールゼロフラグをセットする。

【0237】ステップS8において、ステップサイズコントローラ81Aは、ステップS6で量子化器12Aに供給されたステップサイズをステップサイズメモリ83Aに記憶し、次のPピクチャの処理で前画像ステップサイズとして用いる。ステップS10において、ステップサイズコントローラ81Aは、ステップS1で求めた算出ステップサイズを量子化器12Aに供給する。量子化器12Aは、ステップサイズコントローラ81Aからのステップサイズを用いて現係数ブロックを量子化する。

【0238】ステップS12において、ステップサイズコントローラ81Aは、ステップS10で量子化器12Aに供給されたステップサイズを前画像ステップサイズとしてステップサイズメモリ83Aに記憶する。つぎに、ステップサイズコントローラ81Aのハードウェア構成を、図21を参照して説明する。ステップサイズコントローラ81Aは、量子化器12Aに供給されるステップサイズを出力するステップサイズ算出器61A及びステップサイズモディファイア85Aと、前画像ステップサイズのステップサイズメモリ83Aに対する読み出し/書き込みを制御する読出/書込信号発生器67及びアドレス発生器69とを備えている。

【0239】図21に示すステップサイズコントローラ81Aにおいて、図9のステップサイズコントローラ81の構成要素に対応するものについては、同一符号を付し、説明は省略する。また、図9のステップサイズコントローラ81の構成要素と同様のものについては、同一符号にAを付加したものを付して示す。図9のステップサイズコントローラ81との違いのみを以下に説明する。

【0240】ステップサイズ算出器61Aは、出力バッファ19（図19）からのバッファ使用情報に応じて、

20

30

40

50

現係数ブロックの量子化に用いられるステップサイズを算出する。ステップサイズ算出器61Aは、算出ステップサイズをステップサイズモディファイア85Aに供給する。

【0241】ピクチャタイプコードが、現画像がPピクチャであることを示すとき、ステップサイズメモリ83Aは、前画像ブロック、すなわち前に処理されたIピクチャあるいはPピクチャにおいて現画像中の現画像ブロックの位置にある画像ブロックに対する前画像ステップサイズを、ステップサイズモディファイア85Aに供給する。

【0242】ピクチャタイプコードが、現画像がIピクチャあるいはPピクチャであることを示すとき、ステップサイズモディファイア85Aは、ステップサイズ算出器61Aで求めた算出QSCを変更せずに、ステップサイズとして出力する。一方、ピクチャタイプコードが、現画像がPピクチャであることを示すとき、ステップサイズモディファイア85Aは、算出ステップサイズを変更してステップサイズを出力してもよい。

【0243】ピクチャタイプコードが、現画像がPピクチャであることを示すとき、ステップサイズモディファイア85Aは、ステップサイズメモリ83Aからの前画像ステップサイズと、ステップサイズ算出器61Aで求めた算出ステップサイズとを比較してもよい。算出ステップサイズが前画像ステップサイズと等しいとき、ステップサイズモディファイア85Aは、算出ステップサイ

表8

前画像の ステップサイズ	算出 ステップサイズ (算出ステップサイズ>1)	ピクチャ	算出ステップサイズのLSB への処理
x	x	1	反転
x	not x	1	変更なし
x	x	0	変更なし
x	not x	0	変更なし

【0247】ステップサイズモディファイア85Aを、図22のブロック図に示す。図22に示すステップサイズモディファイア85Aは、図4のステップサイズモディファイア63の構成や処理と同じであるので、ここでは説明を省略する。また、ステップサイズバリティ85Aを、図5、6に示すステップサイズモディファイア63と同様のものを用いて、変更することもできる。

【0248】ここで、図11に示す動画画像信号圧縮装置のMPEG規格に準拠しない実施例を図23に示す。図23に示す動画画像信号圧縮装置において、図11の動画画像信号圧縮装置の構成要素に対応するものについては、同一符号を付し、説明は割愛する。また、図11の動画画像信号圧縮装置の構成要素と同様のものについては、同一符号にAを付加したものを付して表わす。この図23に示す動画画像信号圧縮装置は、ステップサイズコント

*ズのバリティを反転してステップサイズを出力する。これは、後述の表8に示すように、ステップサイズモディファイア85Aが、算出ステップサイズのLSBを反転することにより行なわれる。しかし、算出ステップサイズのLSBを反転することにより、0のステップサイズが生じたとき、ステップサイズは2に設定され、0のステップサイズが回避される。

【0244】ステップサイズモディファイア85Aは、ステップサイズを量子化器12Aに供給し、量子化器12Aは、ステップサイズモディファイア85Aからのステップサイズを用いて現係数ブロックを量子化する。現係数ブロックの量子化後、量子化器12Aは、得られた量子化係数ブロックがオールゼロ量子化係数ブロックであるか否かを判定する。オールゼロ量子化係数ブロックのとき、量子化器12Aは、オールゼロフラグをセットする。

【0245】また、ステップサイズモディファイア85Aは、ステップサイズをステップサイズメモリ83Aに供給する。ステップサイズメモリ83Aは、図9のQSCメモリ83と同様の処理を行なうので、説明は省略する。ここで、ステップサイズモディファイア85Aにおける、1より大きい算出ステップサイズに対する演算を表8に示す。

【0246】

【表8】

ローラ91Aと、量子化係数ブロックメモリ93Aと、ANDゲート95とを備えている。

【0249】ステップサイズコントローラ91Aは、例えば図24に示すフローチャートに従って動作するデジタルシグナルプロセッサあるいはコンピュータからなる。図24に示すフローチャートは、図12のフローチャートと同様である。違いを以下に説明する。

【0250】図24に示すフローチャートのステップS1において、ステップサイズコントローラ91Aは、現係数ブロックの量子化のためのステップサイズを算出する。このステップサイズは、量子化スケールコードとqスケールタイプで表わされるのではない。

【0251】ステップS2において、ステップサイズコントローラ91Aは、ステップS1で求めた算出ステップサイズを量子化器12Aに供給し、量子化器12Aは、

算出ステップサイズを用いて現係数ブロックを量子化し、得られる量子化係数ブロックをステップサイズコントローラ91Aに供給する。現係数ブロックの量子化後、量子化器12Aは、得られた量子化係数ブロックがオールゼロ量子化係数ブロックであるか否かを判定する。オールゼロ量子化係数ブロックのとき、量子化器12Aはオールゼロフラグをセットする。

【0252】ステップS6において、ステップサイズコントローラ91Aは、ステップS1で求めた算出ステップサイズのパリティを反転することにより算出ステップサイズを変更する。例えば、ステップサイズのLSBを反転してもよい。しかし、ステップサイズのLSBを反転することにより0のステップサイズが生じたとき、ステップサイズを1のステップサイズの逆パリティを有する2に設定する。LSB反転された算出ステップサイズは、ステップサイズとして用いられ、処理は、ステップS7に進む。

【0253】ステップS7において、ステップサイズコントローラ91Aは、ステップS6で得られたステップサイズを量子化器12Aに供給する。量子化器12Aは、ステップサイズコントローラ91Aにより出力されたステップサイズを用いて、現係数ブロックを再量子化する。現係数ブロックの再量子化後、量子化器12Aは、得られる量子化係数ブロックがオールゼロ量子化係数ブロックであるか否かを判定する。オールゼロ量子化係数ブロックのとき、量子化器12Aは、オールゼロフラグをセットする。

【0254】つぎに、ステップサイズコントローラ91Aのハードウェア構成を、図25を参照して説明する。ステップサイズコントローラ91Aは、量子化器12Aに供給されるステップサイズを出力するステップサイズ算出器61A及びステップサイズモディファイア97Aと、前画像パリティの量子化係数ブロックメモリ93Aに対する読み出し／書き込みを制御する読出／書込信号発生器67及びアドレス発生器69とを備えている。

【0255】図25に示すステップサイズコントローラ91Aにおいて、図13のステップサイズコントローラ91の構成要素に対応するものについては、同一符号を付し、説明は省略する。また、図13のステップサイズ*

表9

量子化係数 ブロック	前画像量子化 係数ブロック	パリティ	算出ステップサイズの LSBへの処理 (算出ステップサイズ>1)
F _{0.0} -F _{7.7}	同	1	反転
F _{0.0} -F _{7.7}	異	1	変更なし
F _{0.0} -F _{7.7}	同	0	変更なし
F _{0.0} -F _{7.7}	異	0	変更なし

*コントローラ91の構成要素と同様のものについては、同一符号にAを付加したものを付して示す。図13のステップサイズコントローラ91との違いのみを以下に説明する。

【0256】ステップサイズ算出器61Aは、出力バッファ19（図19）からのバッファ使用情報に応じて、現係数ブロックの量子化に用いられるステップサイズを算出する。ステップサイズ算出器61Aは、算出ステップサイズをステップサイズモディファイア97Aに供給する。ステップサイズモディファイア97Aは、算出ステップサイズを量子化器12Aに供給し、得られる量子化係数ブロックをステップサイズモディファイア97Aに供給する。

【0257】ピクチャタイプコードが、現画像がPピクチャであることを示すとき、量子化係数ブロックメモリ93Aは、前画像量子化係数ブロックをステップサイズモディファイア97Aに供給する。ステップサイズモディファイア97Aでは、係数と、量子化器12Aからの量子化係数ブロックとの比較が行なわれる。量子化器12Aからの量子化係数ブロックが前画像量子化係数ブロックと等しいとき、ステップサイズモディファイア97Aは、ステップサイズ算出器61Aからの算出ステップサイズのパリティを反転する。これは、後述の表9に示すように、ステップサイズモディファイア97Aが算出ステップサイズのLSBを反転することにより行なわれる。しかし、算出ステップサイズのLSBを反転することにより、0のステップサイズが生じたとき、ステップサイズは2に設定され、0のステップサイズが回避される。

【0258】ステップサイズモディファイア97Aは、パリティ反転したステップサイズを量子化器12Aに供給し、量子化器12Aは、ステップサイズモディファイア97Aからのステップサイズを用いて現係数ブロックを再量子化する。ここで、ステップサイズモディファイア97Aにおける、1より大きい算出ステップサイズに対する演算を表9に示す。

【0259】

【表9】

【0260】ステップサイズモディファイア97Aを、図26のブロック図に示す。図26に示すステップサイ

ズモディファイア97Aは、図4のステップサイズモディファイア63の構成や処理と同じであるので、ここでは説明を省略する。また、ステップサイズバリティ97Aを、図5、6に示すステップサイズモディファイア63と同様のものを用いて、変更することもできる

ここで、上述の動画像信号圧縮装置により出力される圧縮動画像信号を伸長する動画像信号伸長装置を、図27を参照して説明する。図27において、圧縮動画像信号が、ビットストリームとして供給される。また、圧縮動画像信号は、伝送媒体や、光ディスク等の記録媒体から出力されてもよい。ビットストリームは、入力バッファ31に供給され、一旦記憶され、画像毎に読み出されて逆可変長符号化器(IVLC)32に供給される。IVLC32は、MPEG符号化の各層のヘッダ情報を圧縮動画像信号から取り出し、このヘッダ情報から画像復号化制御情報PHを取り出して、メモリコントローラ33に供給する。

【0261】IVLC32は、可変長符号化されたDCT係数のブロックに逆可変長符号化を施し、現量子化係数ブロックCbを含む量子化されたDCT係数ブロックを出力する。量子化係数ブロックCbは、差分ブロック復号化器34に供給される。差分ブロック復号化器34は、量子化係数ブロックCbを復号化して記憶差分ブロックBSを出力し、この記憶差分ブロックを加算器39に供給する。

【0262】また、IVLC32は、量子化係数ブロックCbに対する動きベクトルMVと動き補償モード信号MMを、圧縮動画像信号から取り出し、動き補償器37に供給する。また、IVLC32は、各ブロックに対する量子化ステップサイズSSを、圧縮動画像信号から取り出し、逆量子化器40に供給する。ステップサイズは、量子化スケールコード(QSC)とqスケールタイプ(QT)で表わされる。動き補償器37により、ピクチャメモリ群38は記憶差分ブロックBSのマッチングブロックを読み出す。

【0263】ピクチャメモリ群38は、それぞれ1つの再生画像を記憶する複数のピクチャメモリからなる。マッチングブロックBSは、ピクチャメモリのうちの1つにおいて、動きベクトルMVで特定されるアドレスに記憶される再生画像の1ブロックである。ピクチャメモリ群38内の、マッチングブロックが読み出される再生画像を記憶するピクチャメモリは、メモリコントローラ33により特定される。

【0264】上述のように、参照画像として、前再生画像、後再生画像、あるいはこの両画像に画素毎の線形演算を施すことで得られるブロックを用いて、予測符号化を行なうことにより、画像を符号化することができる。また、予測を行わずに、画像を符号化してもよい。この場合、ピクチャメモリ群38により得られたマッチングブロックは、ゼロブロック、すなわち全ての画素値が

0に設定されているブロックとなる。ピクチャメモリ群38により得られた動き補償マッチングブロックは、適応的に変更され、各ブロックに最適なマッチングブロックが選択される。このプロセスは、 16×16 画素のブロックサイズのマクロブロックを用いて行なう。

【0265】ピクチャメモリ群38により得られたマッチングブロックは、加算器39に供給される。加算器39は、差分ブロック復号化器34からの再生差分ブロックBSと、ピクチャメモリ群38により得られたマッチングブロックとを画素毎に加算する。この加算により再生画像ブロックが得られ、メモリコントローラ33により特定されたピクチャメモリ群38内のピクチャメモリの1つに記憶される。加算器39により得られた再生画像ブロックは、選択されたピクチャメモリにブロック毎に記憶され、前にピクチャメモリ内に記憶されていた再生画像に上書きするようにして、新たな再生画像を形成する。この新たな再生画像は、他の画像の動画像信号を予測復号化する際の参照画像として用いられる。

【0266】ピクチャメモリ群38に記憶された再生画像は、メモリコントローラ33からの出力画像指示信号により制御される順で読み出される。読みだされた画像は、動画像出力信号として、ビデオモニタ等の画像表示器に供給される。ここで、差分ブロック復号化器34について、図27を参照しながら説明する。差分ブロック復号化器34は、逆量子化器40と、奇数化回路35と、逆直交変換、例えば逆離散コサイン変換を行う逆離散コサイン(IDCT)回路36とを備えている。逆量子化器40は、IVLC32からのQSCとQTで表わされるステップサイズを用いて、IVLC32からの量子化係数ブロックCbを逆量子化する。連続する同一の係数ブロックが、動画像信号圧縮装置での異なる量子化ステップサイズを用いて量子化されているので、逆量子化器40により得られた量子化係数ブロックは、IDCT回路36で逆直交変換されると、反復性(蓄積性)が有るタイプ1のミスマッチ誤差を発生する。

【0267】各逆量子化係数ブロックがIDCT回路36で逆直交変換される前に、奇数化回路35は、各逆量子化係数ブロックの和の奇数化を行ない、タイプ2のミスマッチ誤差がIDCT回路36でのIDCT処理中に発生するのを防止する。IDCT回路36は、奇数化回路35からの和が奇数化されたDCT係数の各ブロックにIDCT処理を施し、得られる再生差分ブロックを加算器39に供給する。この再生差分ブロックには、反復性(蓄積性)が有るタイプ1のミスマッチ誤差とタイプ2のミスマッチ誤差のいずれも発生しないので、加算器39からの再生画像ブロックにもそのような誤差は生じない。

【0268】以上、本発明の実施例を詳細に説明したが、本発明は上述の実施例に限定されず、請求の範囲により定義される発明の主旨の範囲内で、種々の変更が可

10

20

30

40

50

能である。

【0269】

【発明の効果】本発明では、動画像信号を表わすDCT係数の係数ブロックが、Pピクチャである現画像の中にある現画像ブロックから得られる現係数ブロックと、現画像の直前に処理されたPピクチャ又はIピクチャである前画像において現画像中の現画像ブロックの位置にある前画像ブロックから得られる前係数ブロックとからなる。そして、前ステップサイズを用いて前係数ブロックを量子化する。現係数ブロックの量子化のための現ステップサイズを、現ステップサイズを前ステップサイズと異なるように設定する。この設定された現ステップサイズを用いて、現係数ブロックを量子化することにより、反復ミスマッチ誤差の発生を防止して、動画像信号を表わすDCT係数の係数ブロックを量子化することができる。

【図面の簡単な説明】

【図1】本発明に係る量子化ステップサイズコントローラの第1の実施例を組み込んだMPEG動画像信号圧縮装置の構成を示すブロック図である。

【図2】本発明に係るステップサイズコントローラの第1の実施例における演算処理を示すフローチャートである。

【図3】本発明に係るステップサイズコントローラの第1の実施例のハードウェア構成を示すブロック図である。

【図4】本発明に係るステップサイズコントローラの第1の実施例におけるステップサイズモディファイアの第1の実施例を示すブロック図である。

【図5】本発明に係るステップサイズコントローラの第1の実施例におけるステップサイズモディファイアの第2の実施例を示すブロック図である。

【図6】本発明に係るステップサイズコントローラの第1の実施例におけるステップサイズモディファイアの第3の実施例を示すブロック図である。

【図7】本発明に係る量子化ステップサイズコントローラの第2の実施例を組み込んだMPEG動画像信号圧縮装置の構成を示すブロック図である。

【図8】本発明に係るステップサイズコントローラの第2の実施例における演算処理を示すフローチャートである。

【図9】本発明に係るステップサイズコントローラの第2の実施例のハードウェア構成を示すブロック図である。

【図10】本発明に係るステップサイズコントローラの第2の実施例におけるステップサイズモディファイアを示すブロック図である。

【図11】本発明に係る量子化ステップサイズコントローラの第3の実施例を組み込んだMPEG動画像信号圧縮装置の構成を示すブロック図である。

【図12】本発明に係るステップサイズコントローラの第3の実施例における演算処理を示すフローチャートである。

【図13】本発明に係るステップサイズコントローラの第3の実施例のハードウェア構成を示すブロック図である。

【図14】本発明に係るステップサイズコントローラの第3の実施例におけるステップサイズモディファイアを示すブロック図である。

10 【図15】本発明に係る量子化ステップサイズコントローラの第1の実施例を組み込んだ非MPEG動画像信号圧縮装置の構成を示すブロック図である。

【図16】非MPEG動画像信号圧縮装置において、本発明に係るステップサイズコントローラの第1の実施例における演算処理を示すフローチャートである。

【図17】非MPEG動画像信号圧縮装置において、本発明に係るステップサイズコントローラの第1の実施例のハードウェア構成を示すブロック図である。

20 【図18】非MPEG動画像信号圧縮装置において、本発明に係るステップサイズコントローラの第1の実施例におけるステップサイズモディファイアの具体例を示すブロック図である。

【図19】本発明に係る量子化ステップサイズコントローラの第2の実施例を組み込んだ非MPEG動画像信号圧縮装置の構成を示すブロック図である。

【図20】MPEG規格に準拠しない動画像信号圧縮装置において、本発明に係るステップサイズコントローラの第2の実施例における演算処理を示すフローチャートである。

30 【図21】MPEG規格に準拠しない動画像信号圧縮装置において、本発明に係るステップサイズコントローラの第2の実施例のハードウェア構成を示すブロック図である。

【図22】MPEG規格に準拠しない動画像信号圧縮装置において、本発明に係るステップサイズコントローラの第2の実施例におけるステップサイズモディファイアの具体例を示すブロック図である。

40 【図23】本発明に係る量子化ステップサイズコントローラの第3の実施例を組み込んだMPEG規格に準拠しない動画像信号圧縮装置の構成を示すブロック図である。

【図24】MPEG規格に準拠しない動画像信号圧縮装置において、本発明に係るステップサイズコントローラの第3の実施例における演算処理を示すフローチャートである。

【図25】MPEG規格に準拠しない動画像信号圧縮装置において、本発明に係るステップサイズコントローラの第3の実施例のハードウェア構成を示すブロック図である。

50 【図26】MPEG規格に準拠しない動画像信号圧縮装

85

置において、本発明に係るステップサイズコントローラの第3の実施例におけるステップサイズモディファイアの実例を示すブロック図である。

【図27】本発明に係るステップサイズコントローラを組み込んだ動画画像信号圧縮装置により得られた圧縮動画画像信号を伸長する動画画像信号伸長装置を示すブロック図である。

【図28】従来のMPEG方式の動画画像信号圧縮装置の構成を示すブロック図である。

【図29】従来のMPEG方式の動画画像信号伸長装置の構成を示すブロック図である。

【図30】MPEG方式において動画画像信号が圧縮されるシーケンスを説明するための図である。

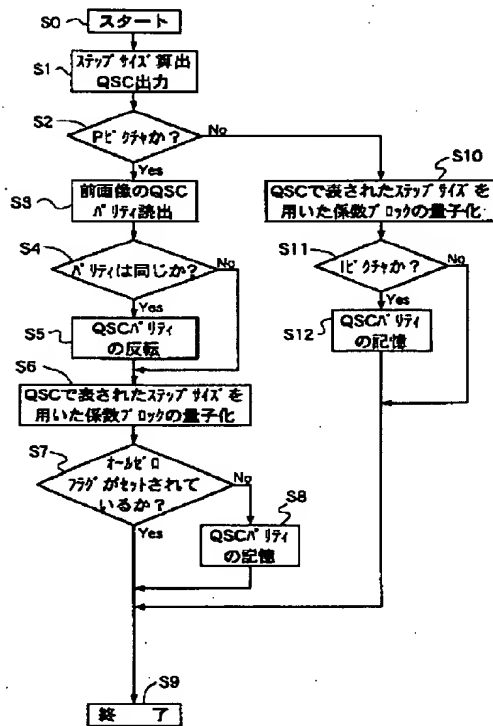
【符号の説明】

- 2 第1のピクチャメモリ群
3 メモリコントローラ

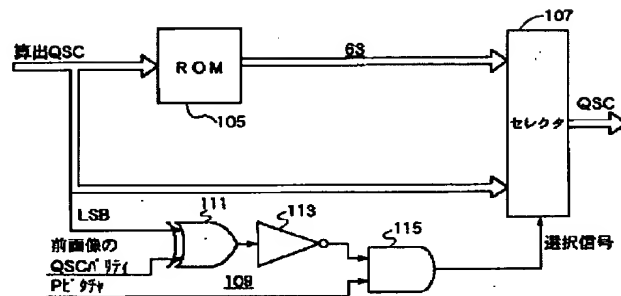
- * 4 第2のピクチャメモリ群
6 動き予測器
7 動き補償器
8 差分ブロック算出回路
9 差分ブロック符号化器
10 局部復号化器
11 DCT回路
12 量子化器
13 逆量子化奇数化器
15 IDCT回路
16 加算器
17 可変長符号化器
19 出力バッファ
51 ステップサイズコントローラ
53 QSCパリティメモリ

*

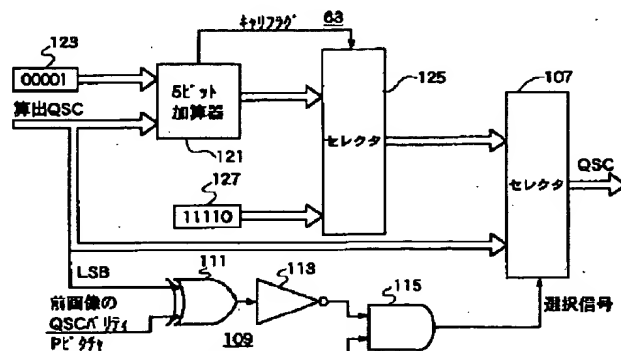
【図2】



【図5】

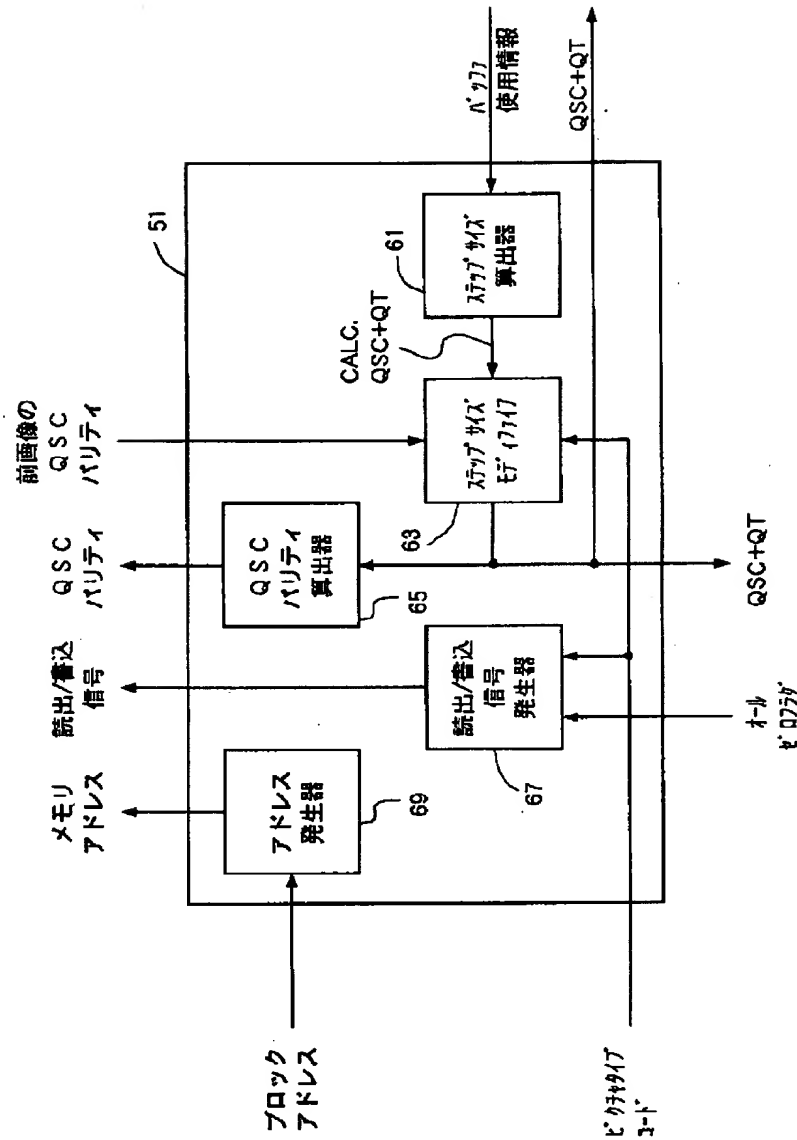


【図6】

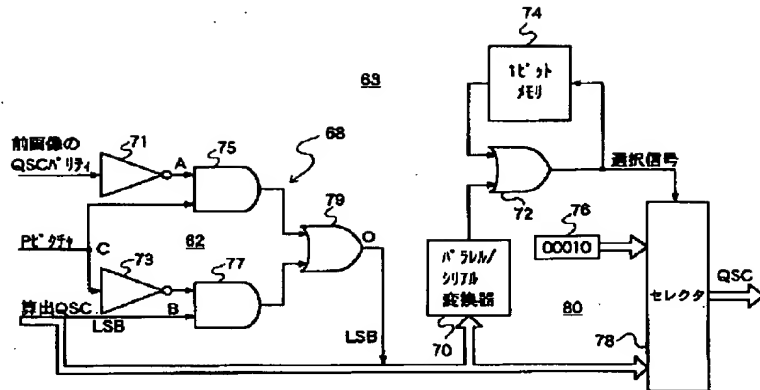


[illegible]

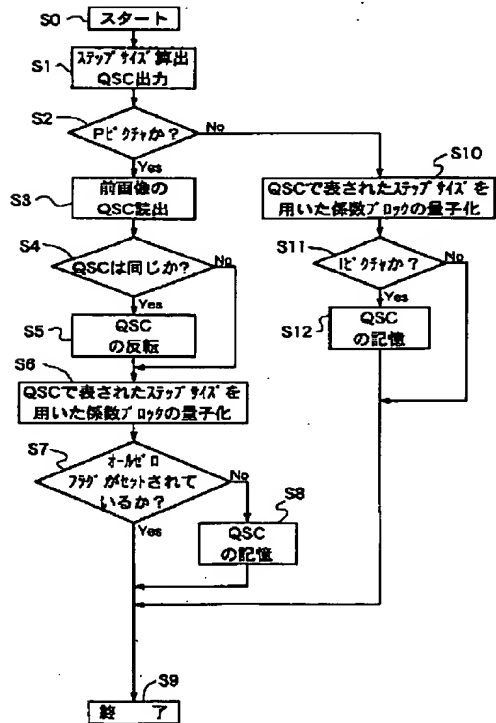
【図 3】



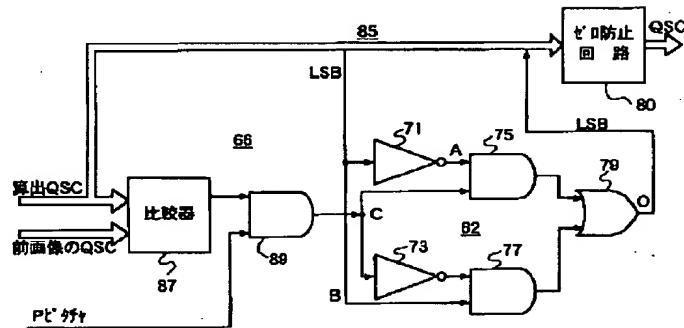
【図 4】



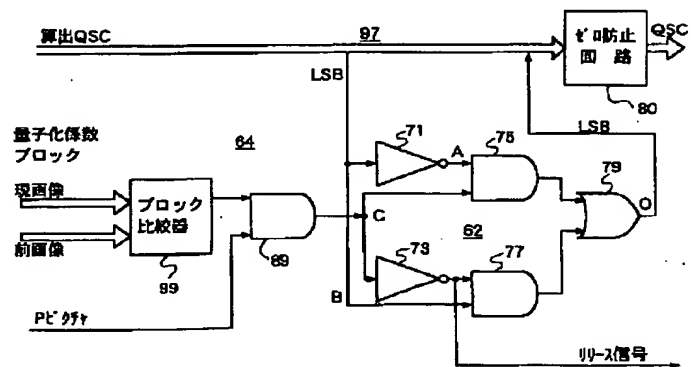
【図 8】



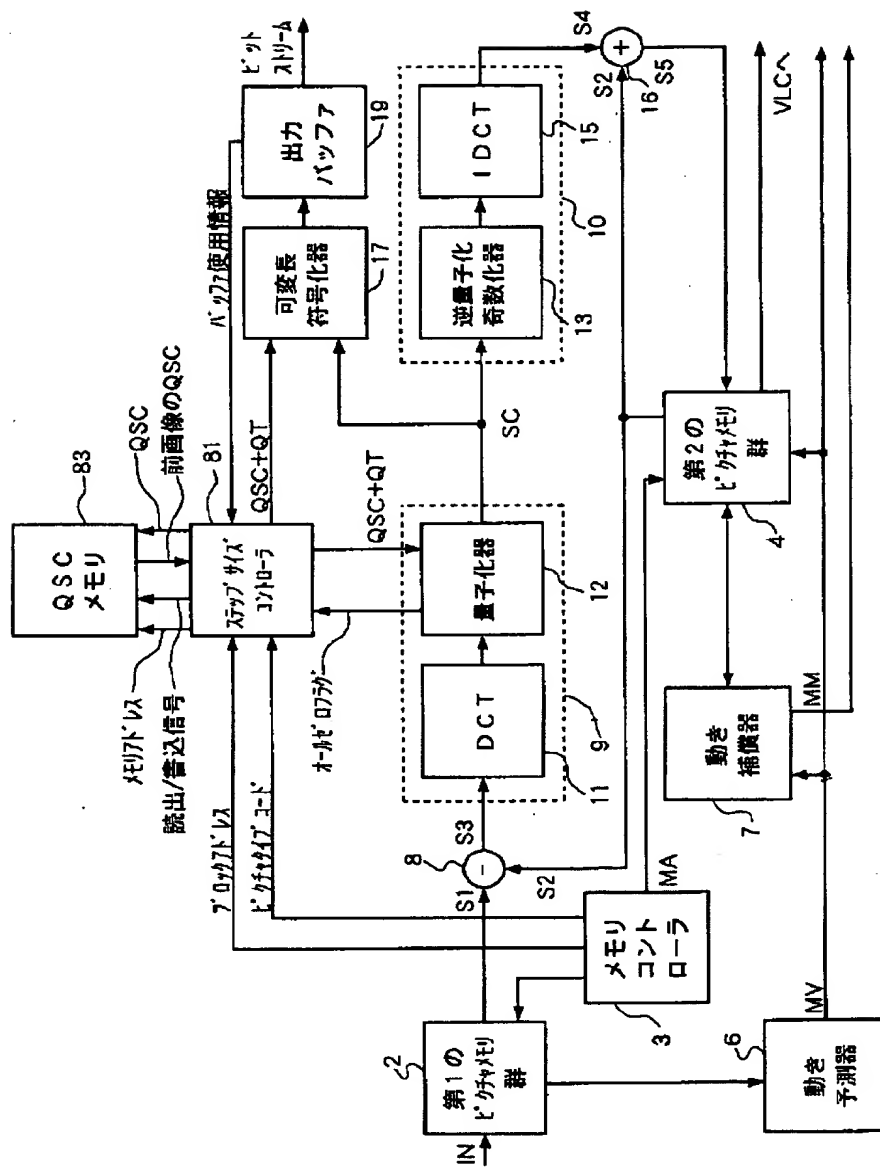
【図 10】



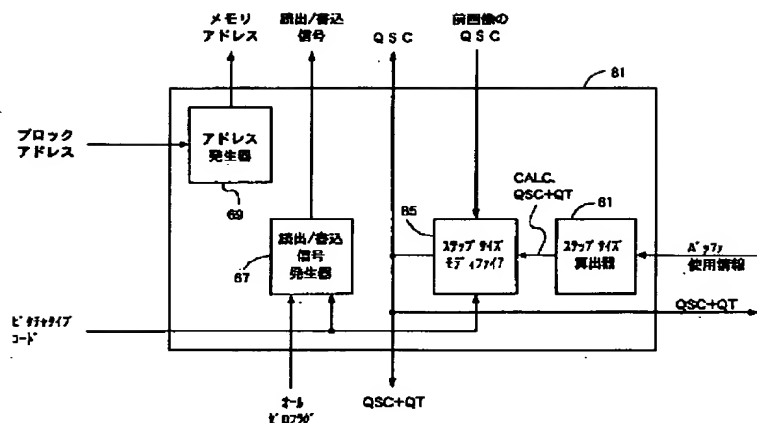
【図 14】



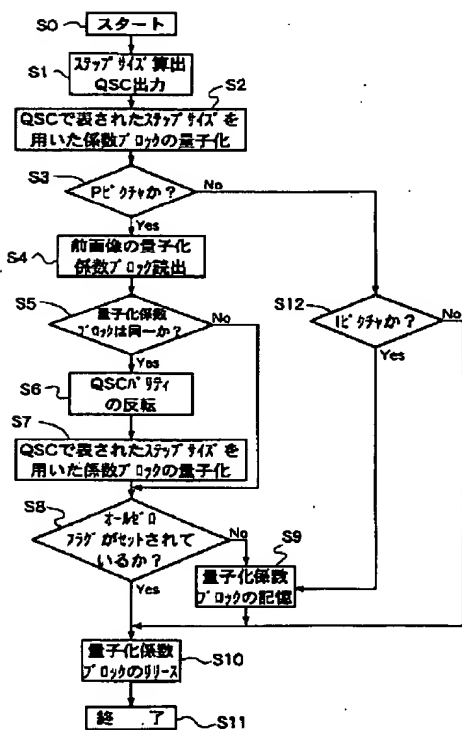
【図7】



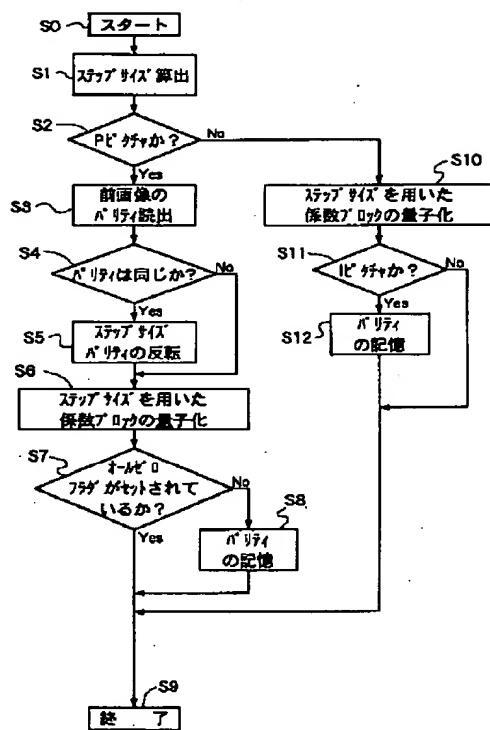
【図9】



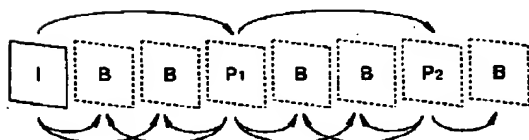
【図12】



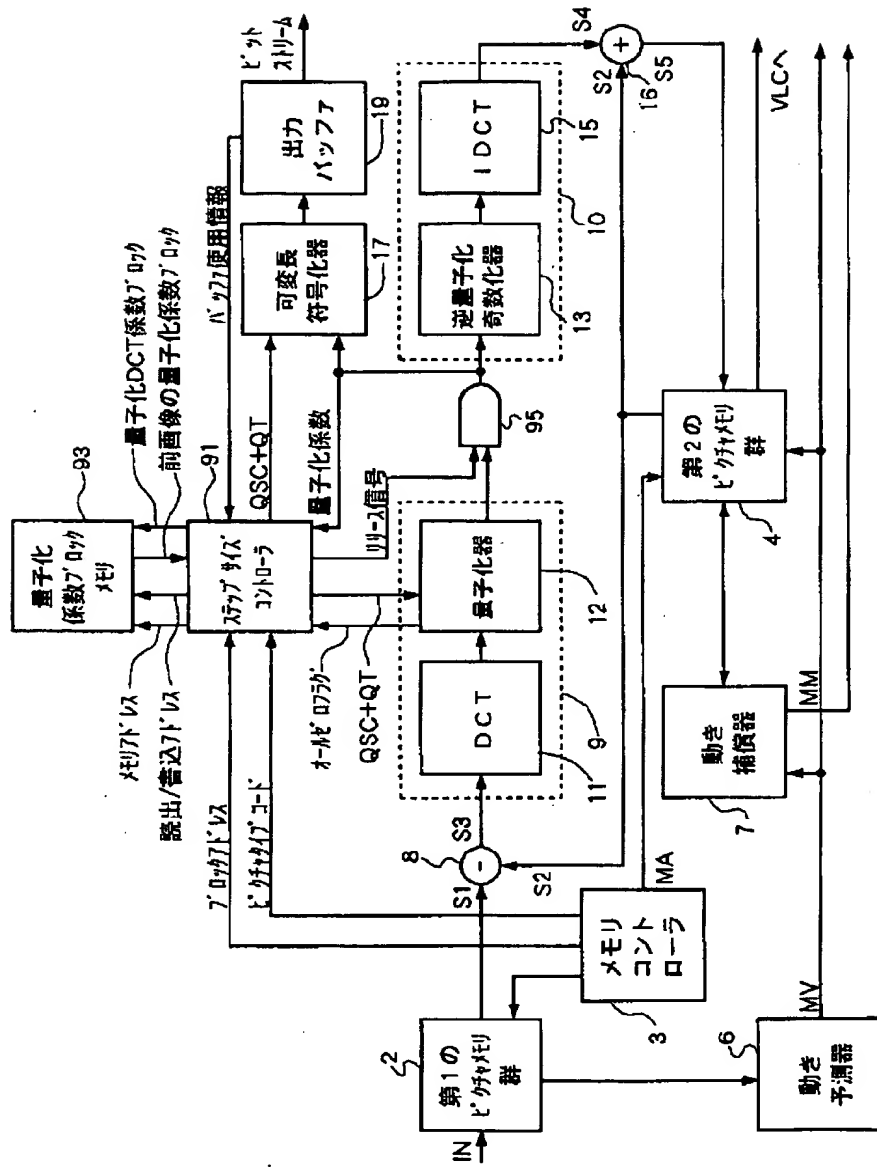
【図16】



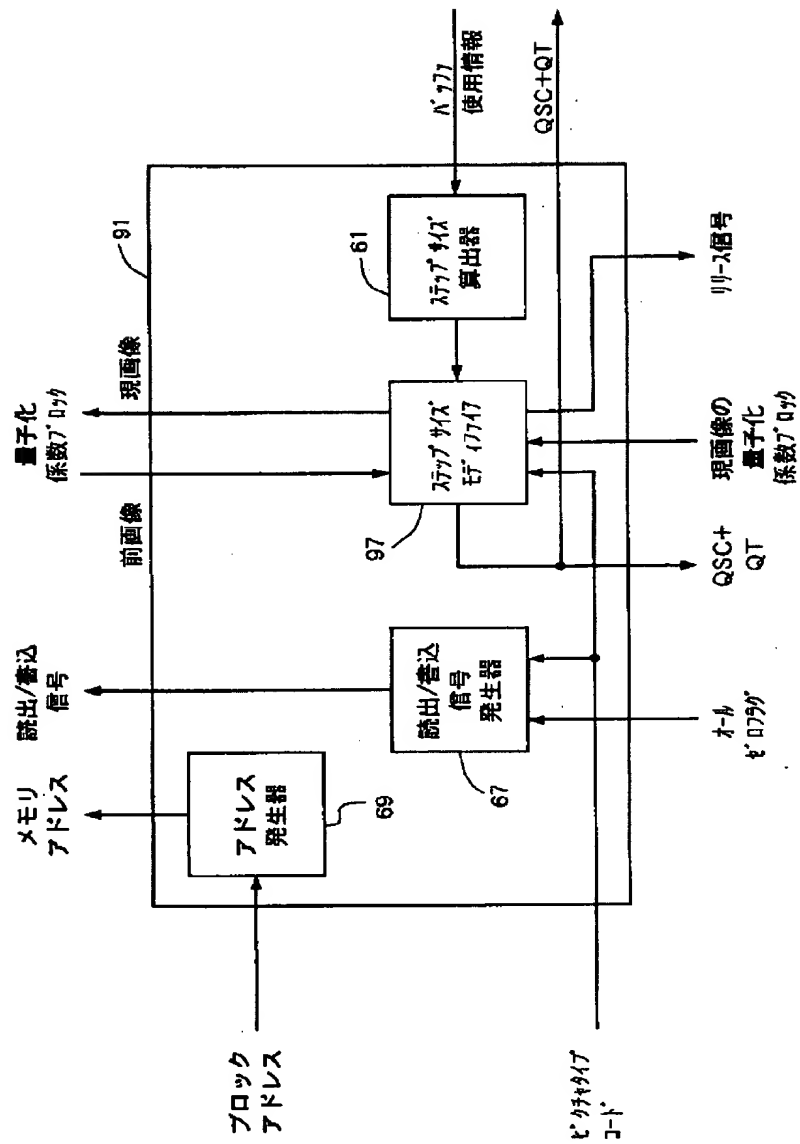
【図30】



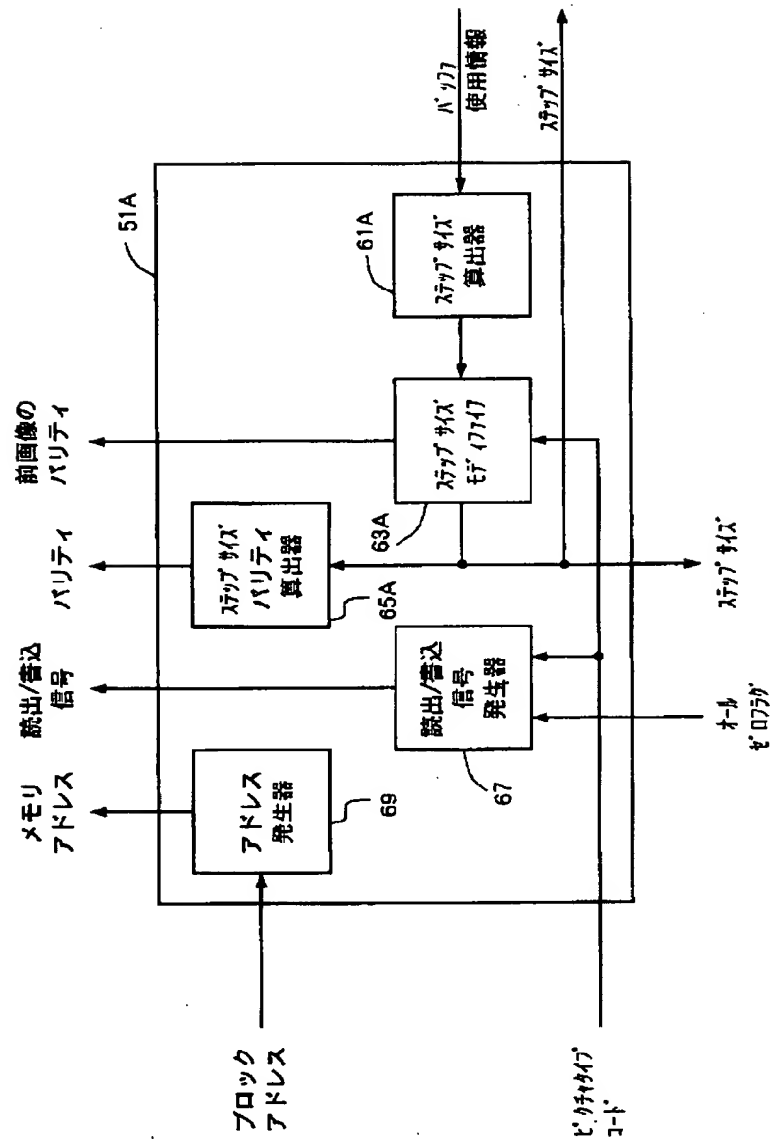
【図11】



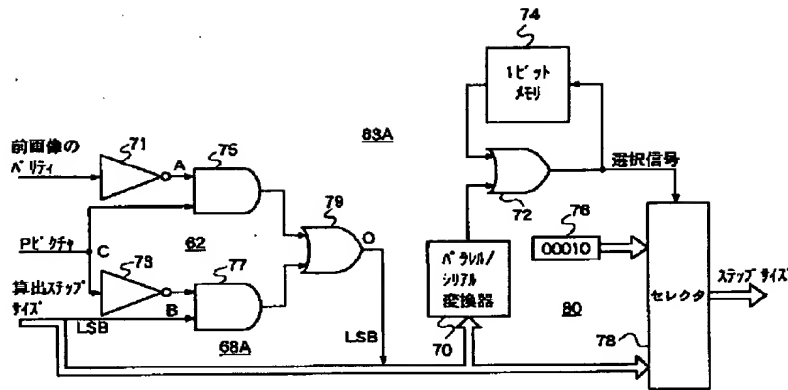
【图 13】



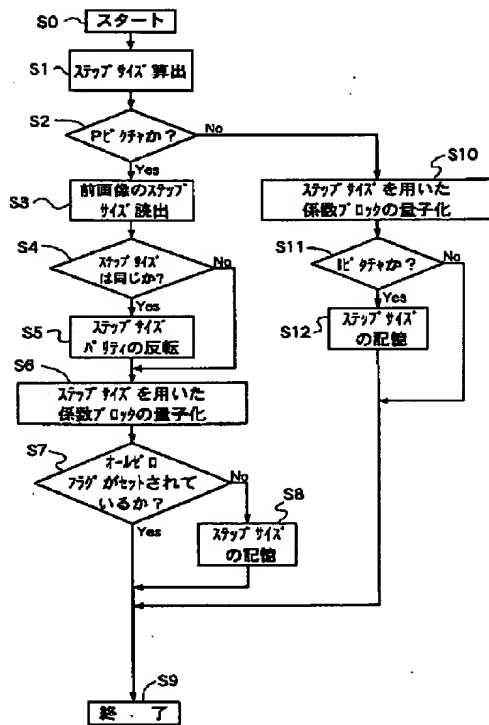
【図17】



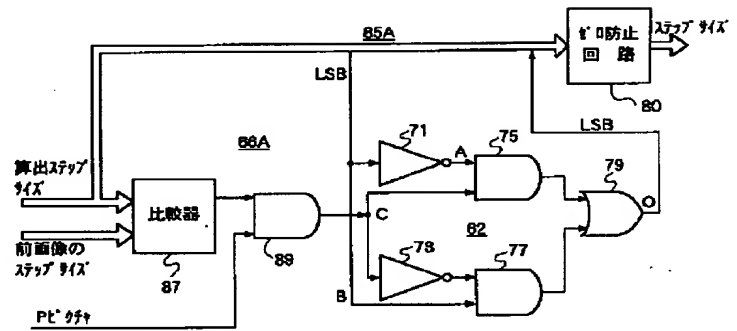
【図18】



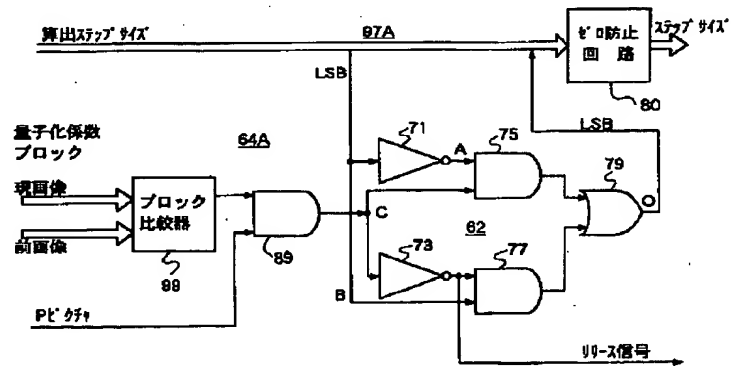
【図20】



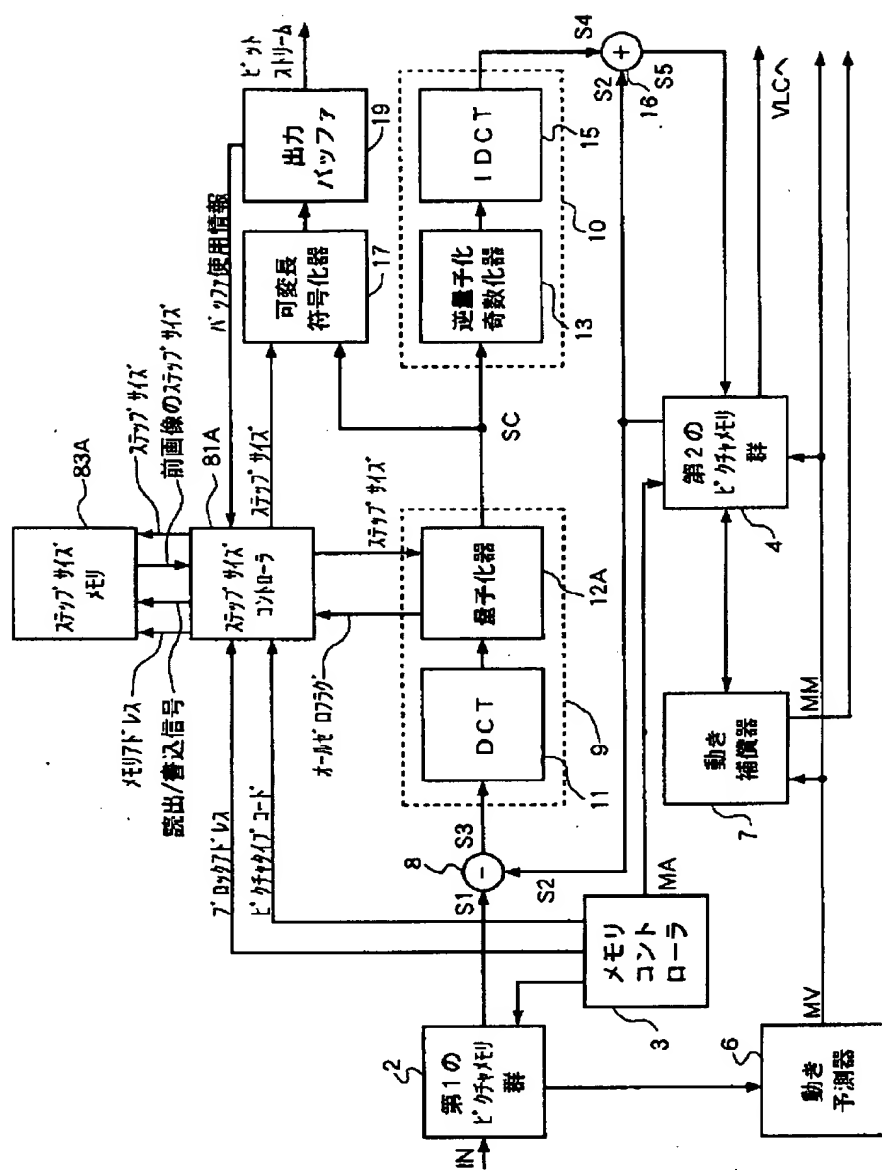
【図22】



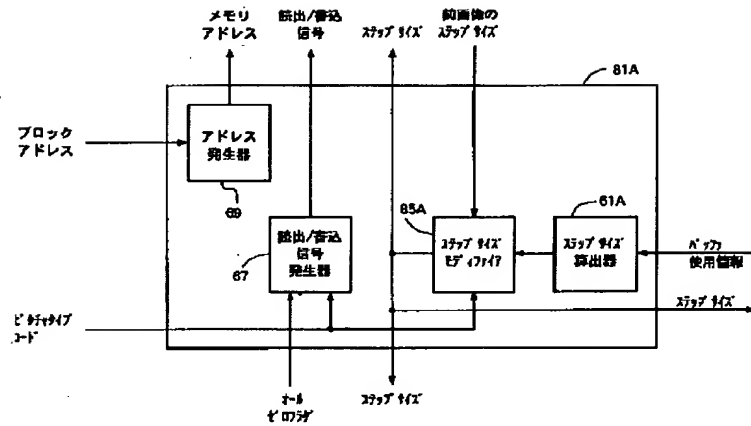
【図26】



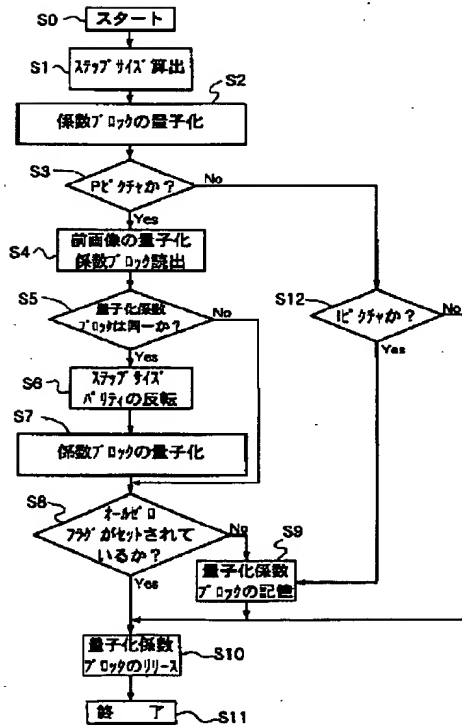
【图 19】



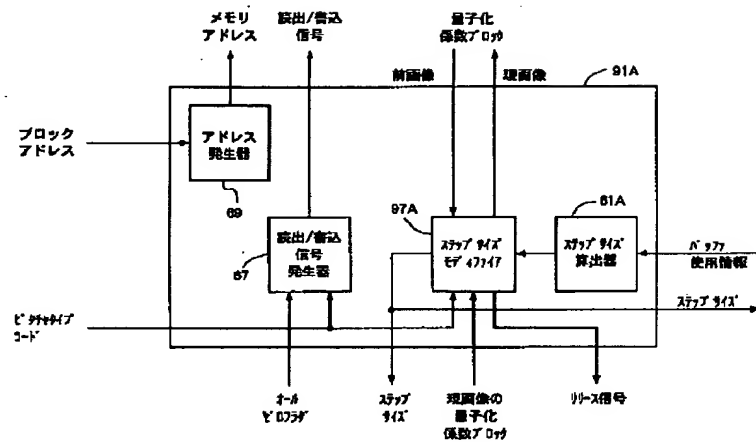
【図21】



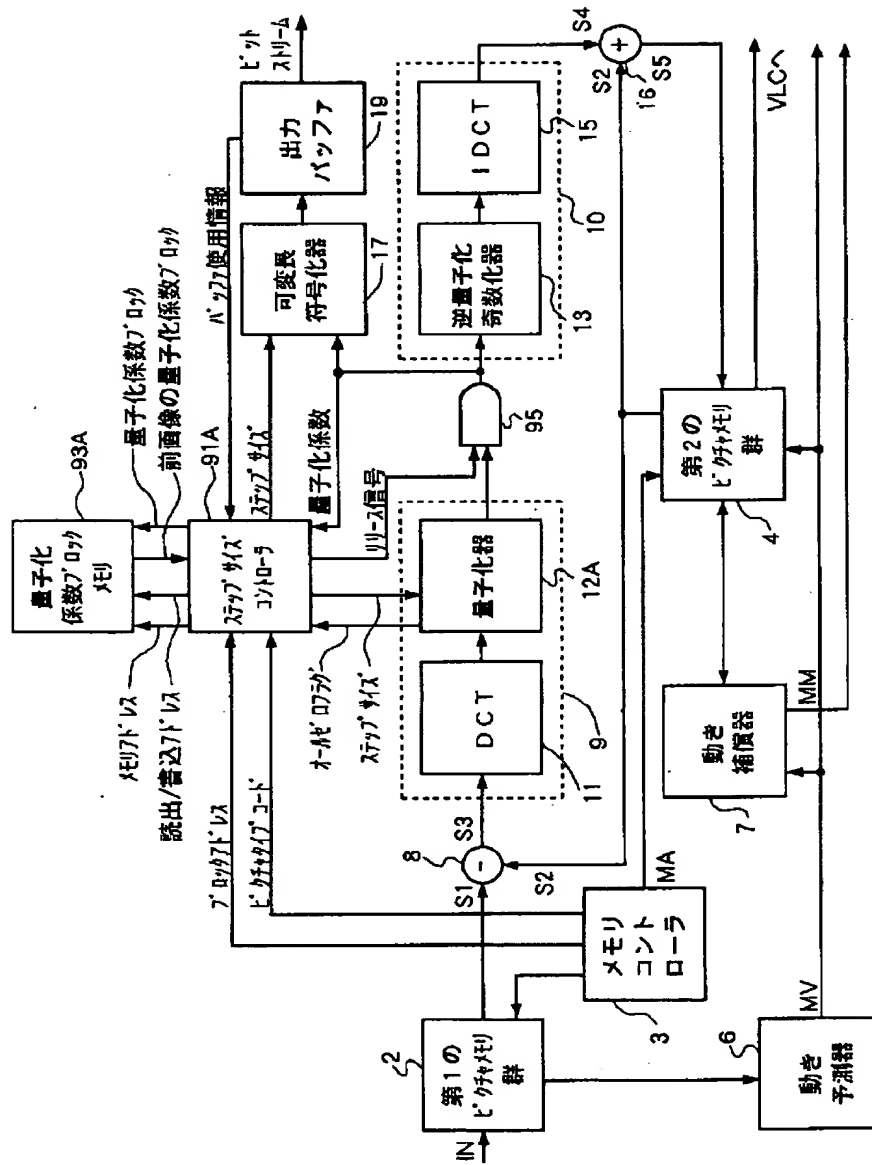
【図24】



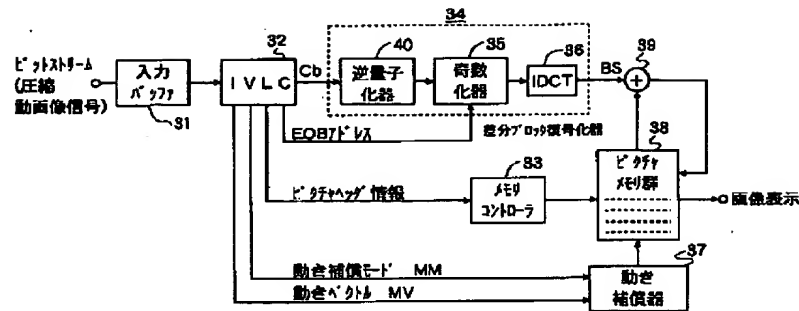
【図25】



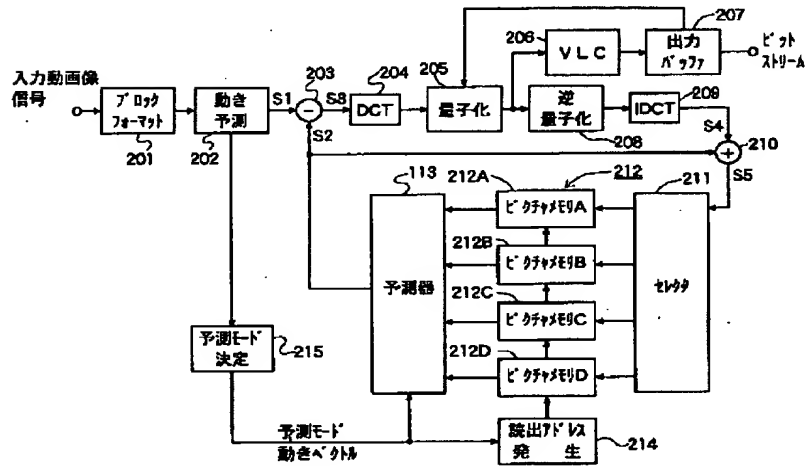
【図23】



【図27】



【図28】



【図29】

